



K Y O T O
INSTITUTE OF
TECHNOLOGY

微細化LSIの信頼性諸問題と その解決策

VLD/SLDM研究会@2012年5月30日

京都工芸繊維大学

工芸科学研究科

電子システム工学専攻

小林和淑

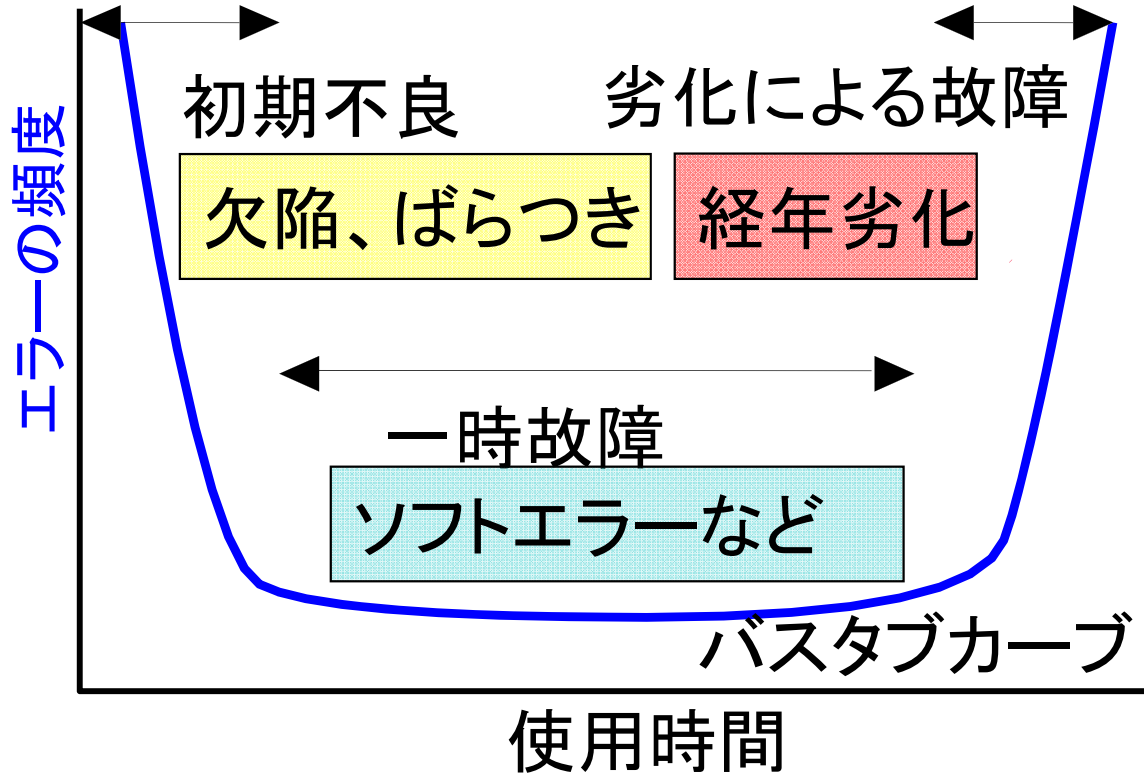
概要

- LSIの微細化はムーアの法則に従い着々と進行している。本講演では、微細化したLSIが抱える経年劣化、一時故障、ばらつきなどの信頼性関連の諸問題とその対応策について述べる。

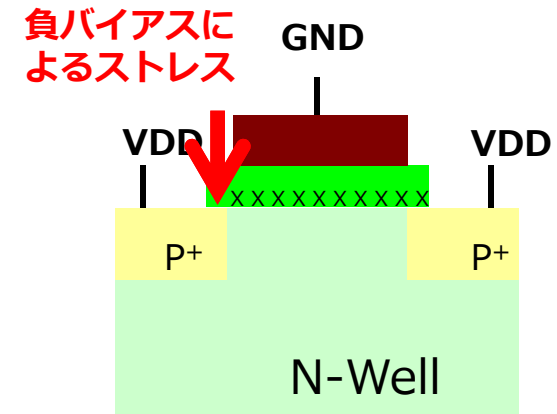
講演内容

- 信頼性と可用性
- ばらつきとその対応策(2004-2008)
 - ばらつきを利用した速度と歩留まり向上について
- 一時故障とその対応策(2007-)
 - 主にソフトウェアについて
- 経年劣化(永久故障)とその対応策(2007-)
 - 主にBTIIについて

微細化による信頼性の低下

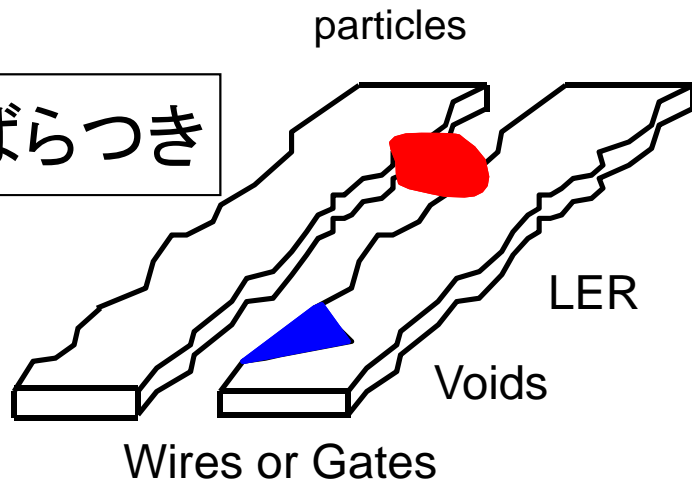


経年劣化 (BTI)

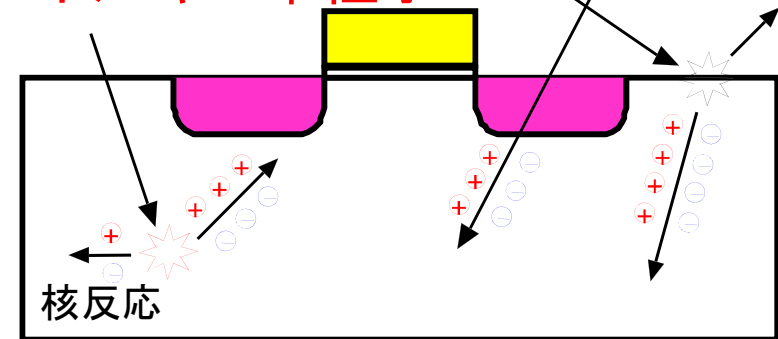


一時故障 (ソフトエラー)

欠陥、ばらつき



熱中性子 アルファ線 高エネルギー中性子

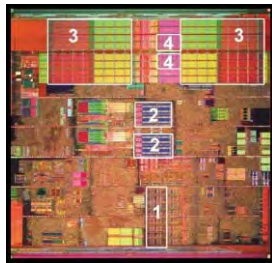


講演内容

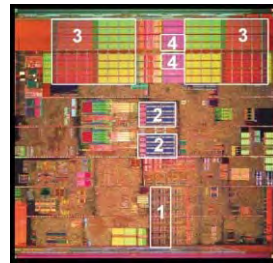
- 信頼性と可用性
- **ばらつきとその対応策(2004-2008)**
 - ばらつきを利用した速度と歩留まり向上について
- 一時故障とその対応策(2007-)
 - 主にソフトウェアについて
- 経年劣化(永久故障)とその対応策(2007-)
 - 主にBTIIについて

ばらつきとは？

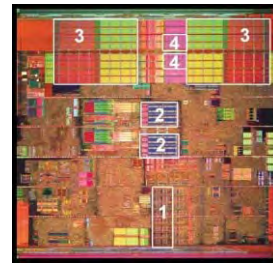
- 10億個を超えるトランジスタをnmスケールですべて同一に作るのは不可能
 - マイクロプロセッサの動作速度の違いはばらつき
 - 速度はほぼ正規分布



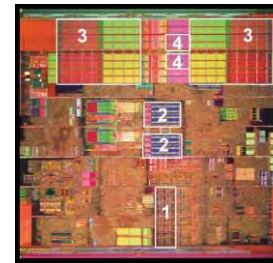
3.2GHz



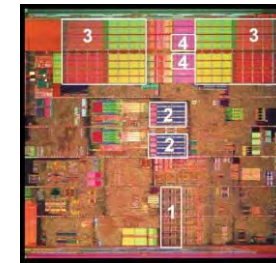
2.5GHz



0GHz



1.5GHz



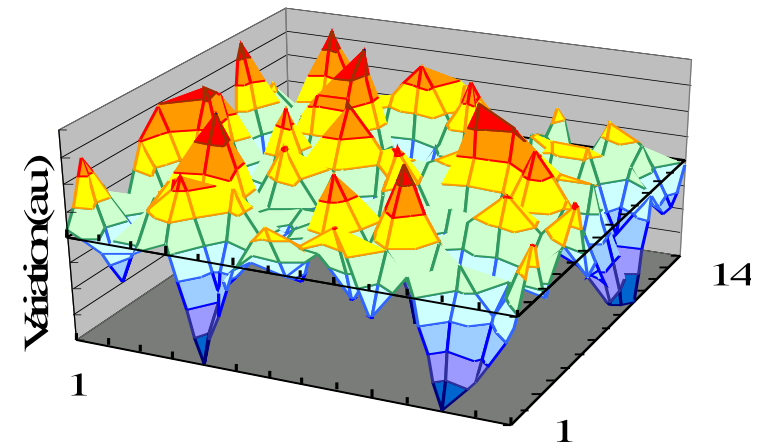
0.5GHz

- 速く動くプロセッサは数が少ないので高い！
- 速く動くFPGAも数が少ないので高い
- ASICは、同じ速度で動かないと困る

ばらつきの2成分

■ チップ間ばらつき(Die-to-Die Variation)

- チップごとに性能が異なる
- ロット間ばらつき
 - 製造ロットごとにばらつく
- ウェハ間ばらつき
 - ロット内のウェハごとにばらつく



90nmプロセスにおける V_T のチップ内ばらつき: STARC増田グループより)

■ チップ内ばらつき(Within-Die Variation)

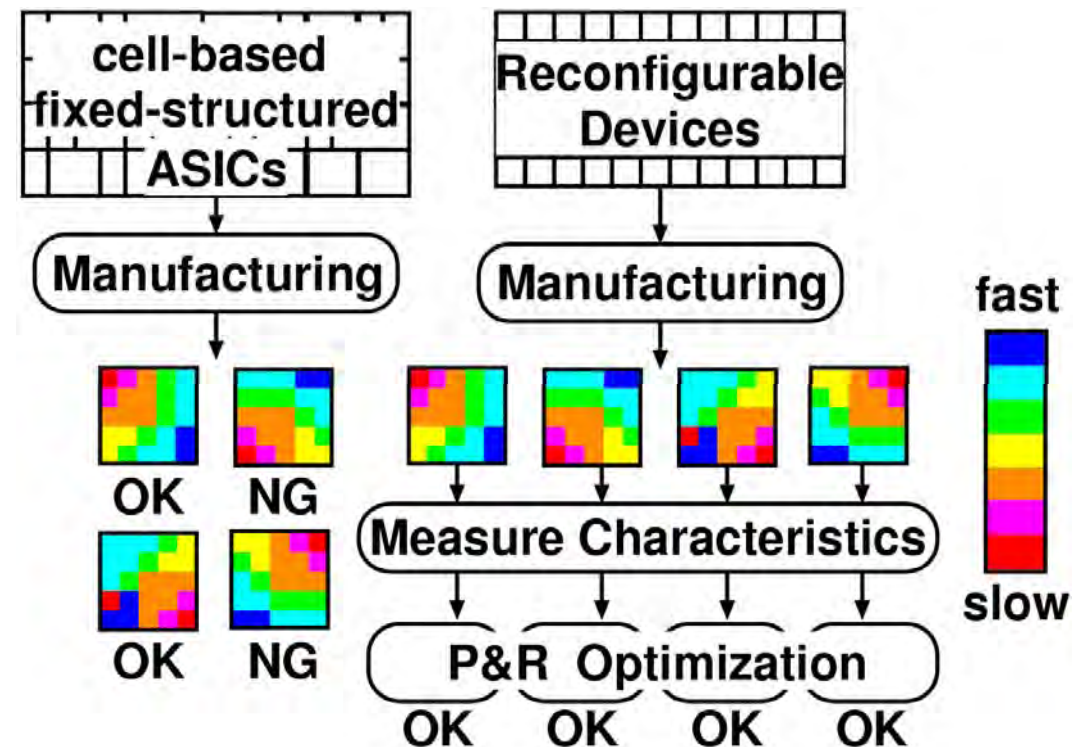
- チップ内で場所ごとに性能が異なる

チップ内ばらつきへの対策

- ばらつきを利用して、再構成デバイス(FPGA)の歩留まりと速度を向上させる

Variation-aware Reconfiguration

- 2004年に世界で初めてアイデアを披露 + 基本特許取得
- STARCとの共同研究 (2005-2007)
- FPGA内のばらつきを利用して速度と歩留まりを向上させる



基本アイデア

(左)従来手法

ばらつきを無理やり抑える



(右)提案手法

ばらつきにそのまま乗る

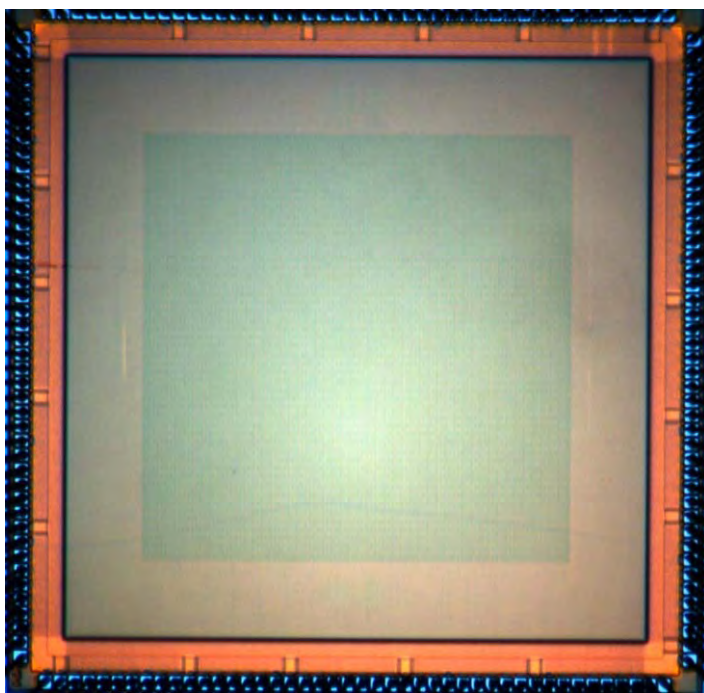


微細化により破綻

波が大きければのりのり

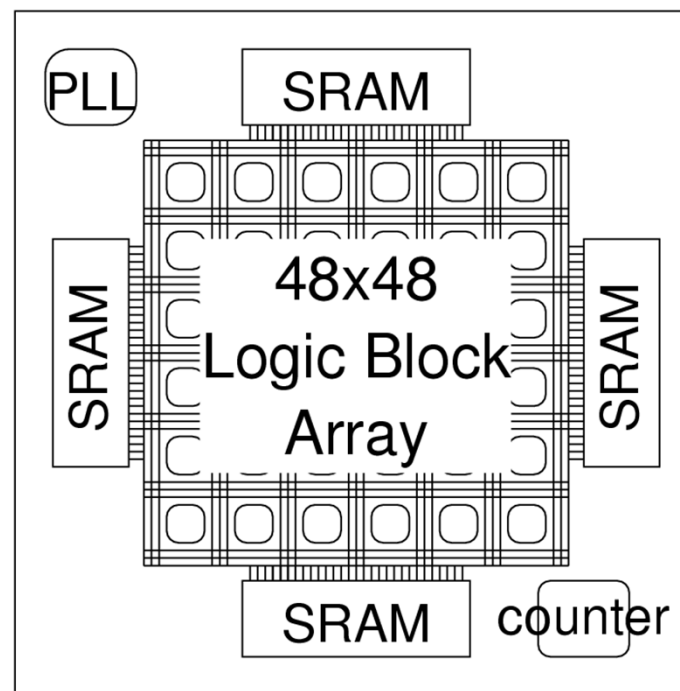
48x48 FPGAチップ

- 遅延ばらつき測定機構を組み込んだ FPGA を試作
- 90nm プロセス



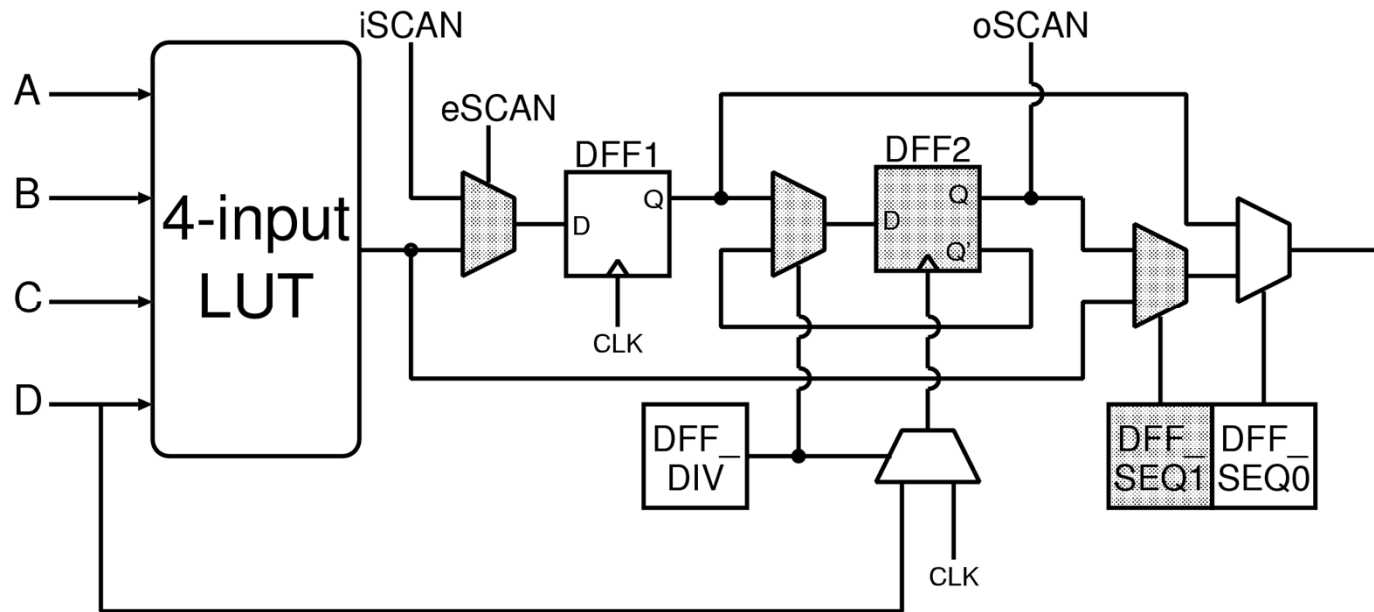
チップ写真

5mm

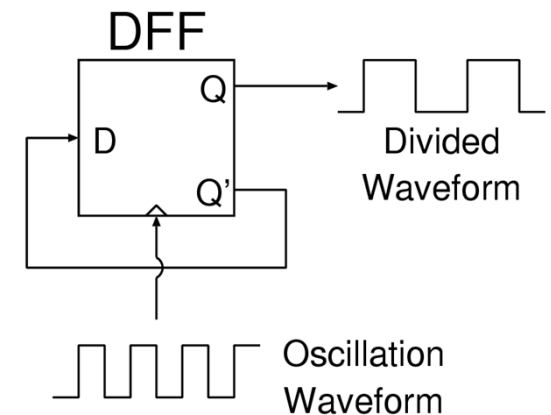


チップの全体構造

論理ブロックの構造

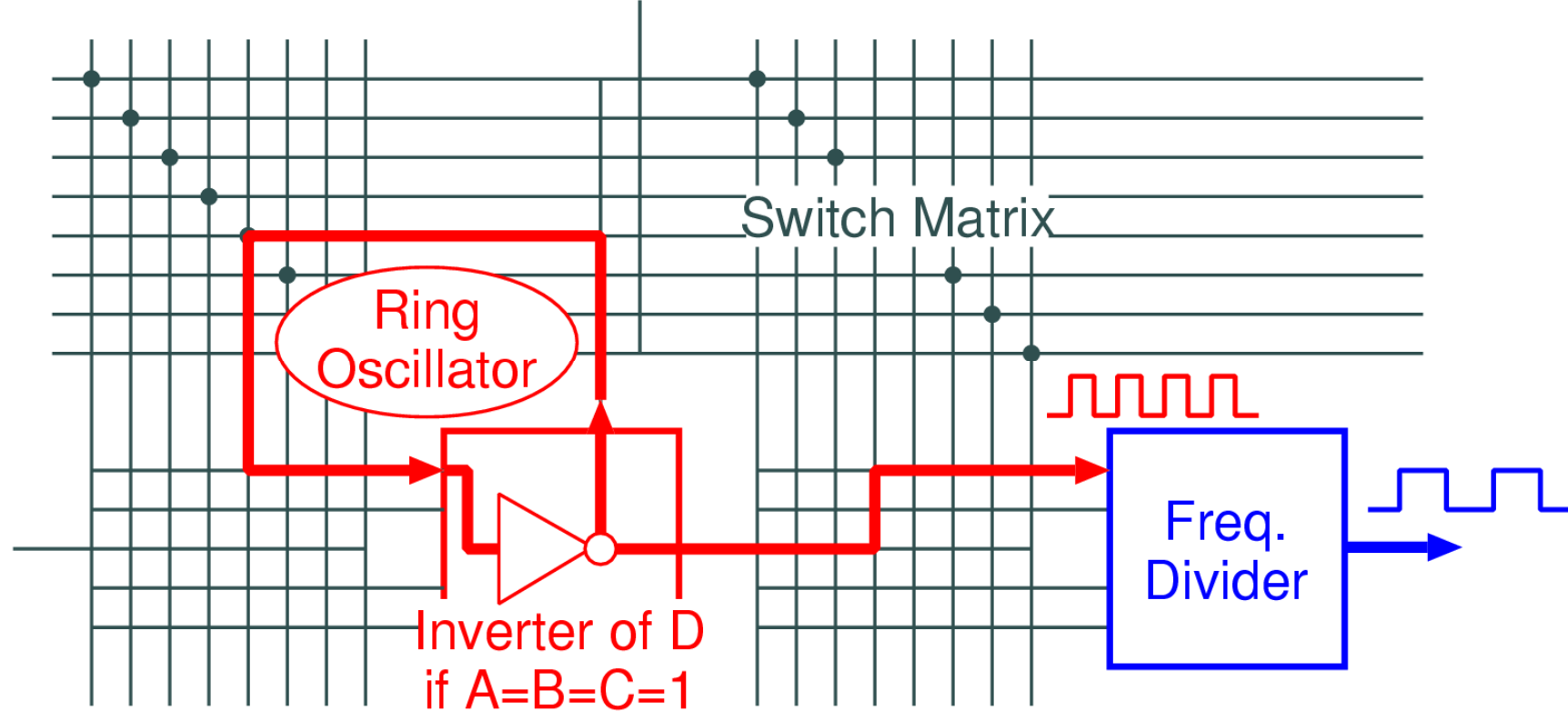


- 従来 1 つの **DFF** を **2 つ** 持つ
- DFF2 を利用した **周波数分周** が可能
- 面積オーバーヘッド 23 %
 - チップ全体で考えると **1 %**



最小リングによる測定

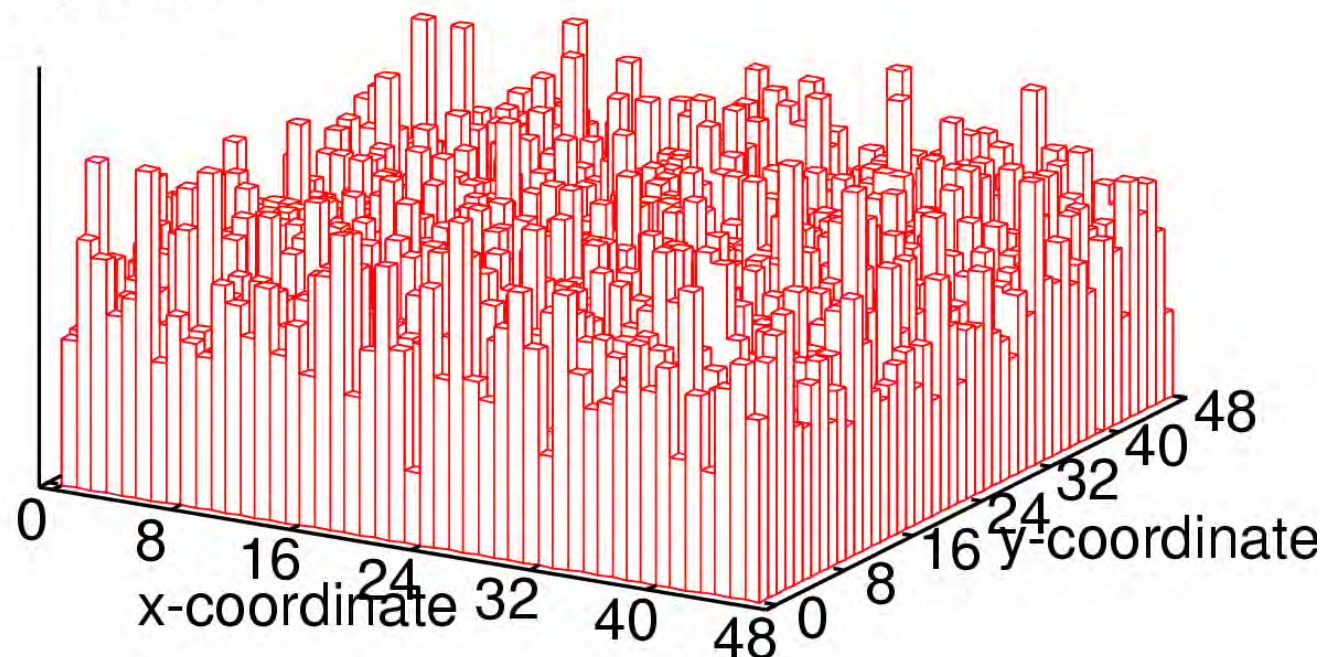
- **論理ブロック 1 個**を使用したリングオシレータ
- **隣の論理ブロック**を 1 回目の分周(カウンタ)に使用
- 1 チャンネル 8トラック : 1 チップから 47 x 48 x 8 個の測定結果が得られる



最小リングによる測定

- 隣の論理ブロックですら全く性能が異なる
- ほぼ**ランダム**に見える

frequency (a.u.)



- NDA によりばらつき幅は提示できない
(グラフの軸は任意単位、以降も同様)

測定結果のランダム性

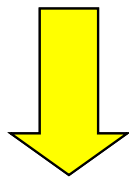
- ヒストグラムが、**正規分布の確率密度関数**に測定結果の μ, σ を代入した曲線と**ほぼ一致**

- 歪度の10チップ平均

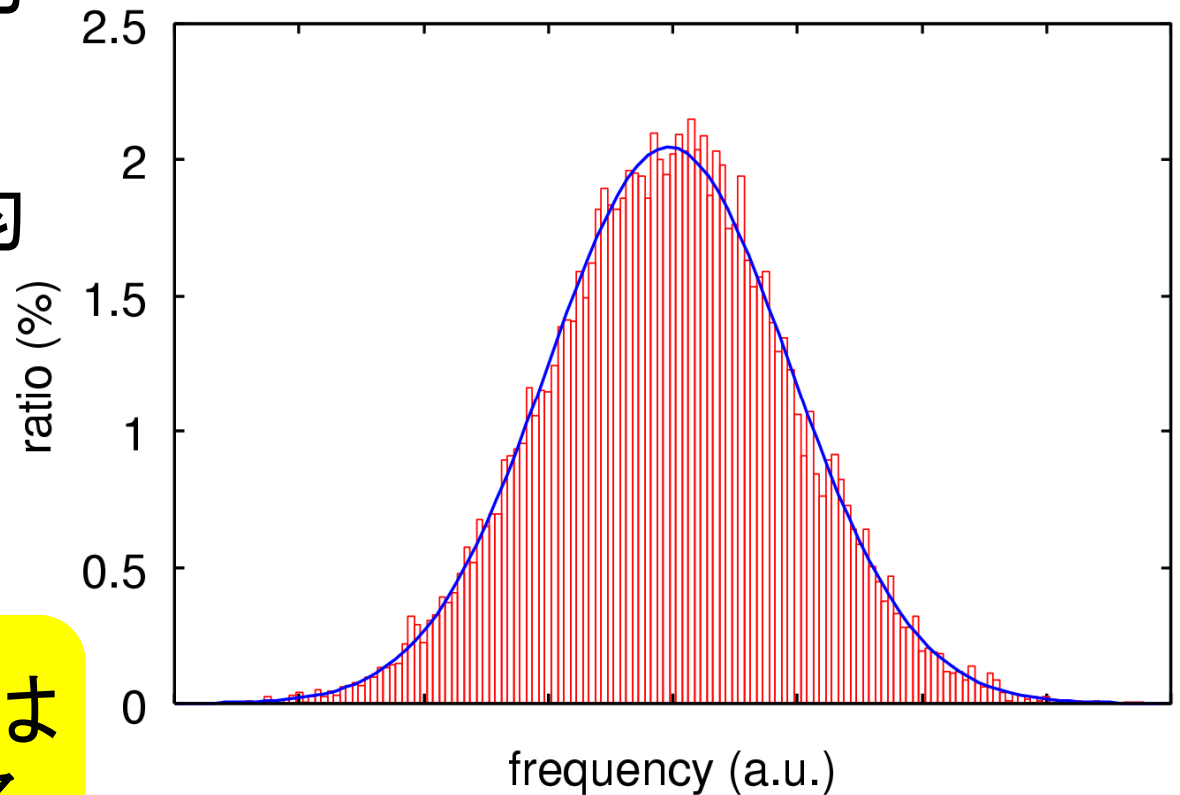
0.0055

- 尖度の10チップ平均

0.025

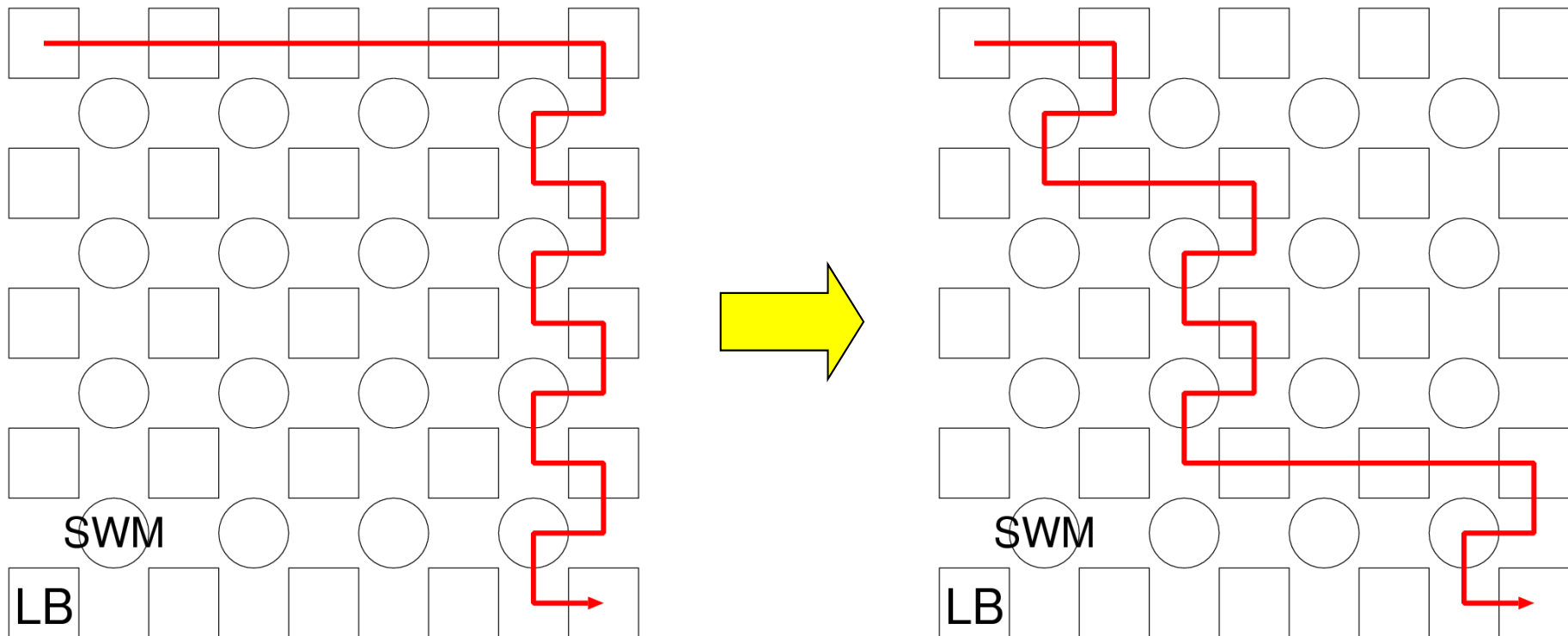


チップ内遅延ばらつきは
正規分布に従っている



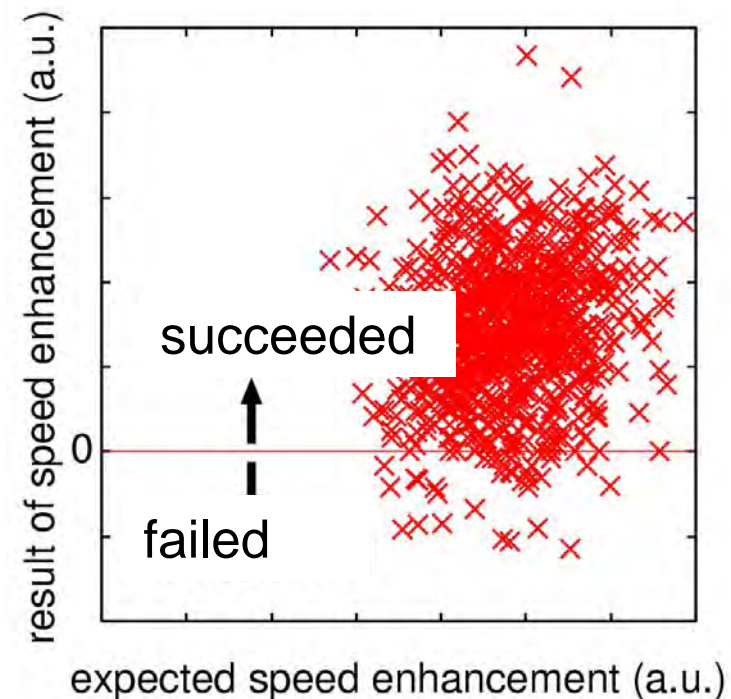
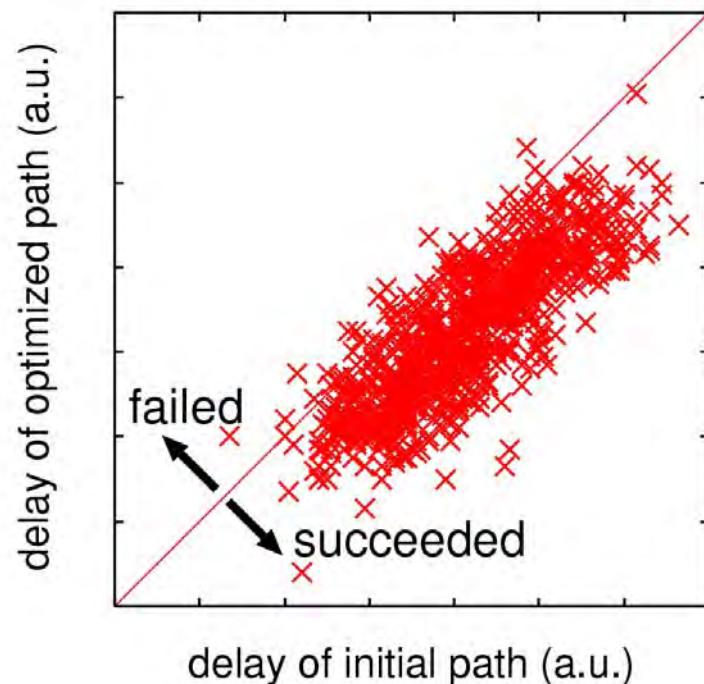
ばらつきを利用した経路最適化

- 右4つ・下4つの位置の論理ブロックへのパス
- 右、下の順序と使用するトラックを個々に変更して最適化
- 下への部分パスは最小リング発振パスとほぼ一致



速度向上実測結果

- 10 チップに計 810 本を配置配線し個々に最適化
- ほとんどのパスの遅延が減少 = **速度向上**
 - 765 / 810 (95%) で遅延減少
 - ただし期待値と、実際の効果の**相関が低い**

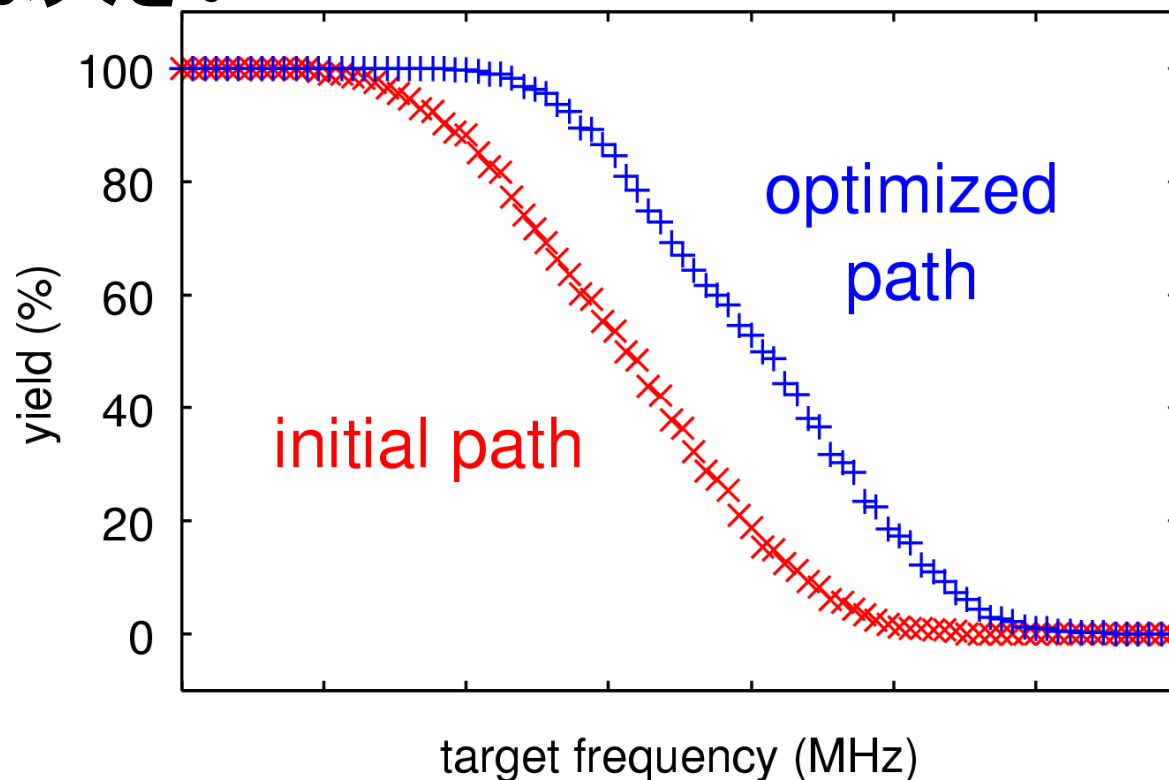


速度向上実測結果

- 測定パス≡信号通過パス
 - 相関が低い要因
 - 測定時はリングオシレータ構造となる

- 歩留まり向上効果は大きい

- 81.6 % → 99.0 %
- 50.1 % → 81.0 %



ばらつきのおまとめ

- 微細化によりばらつきは増大傾向
 - SOIなどによりばらつきを減らす試みもあり
 - バルクはいかんともしがたい($\propto 1/\sqrt{LW}$)

対処法

- ばらつきを利用した再構成回路の速度と歩留まり向上
 - ばらつきに応じて、回路構造を変更する
 - 再構成回路(FPGA)で実現
 - ばらつきは製造後の測定により求める
 - パスの最適化で、歩留まりが50%から80%に向上

講演内容

- 信頼性と可用性
- ばらつきとその対応策(2004-2008)
 - ばらつきを利用した速度と歩留まり向上について
- 一時故障とその対応策(2007-)
 - 主にソフトウェアについて
- 経年劣化(永久故障)とその対応策(2007-)
 - 主にBTIについて
- ディペンダブルVLSI

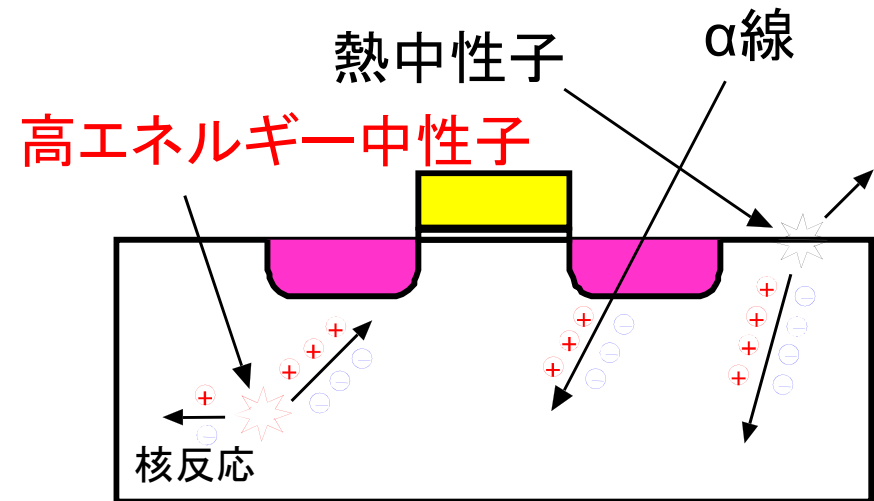
一時故障とは？

- なんらかの内乱、外乱要因による一時的な誤動作
 - 電源を入れ直せば元に戻る
- 内乱要因
 - 内部動作によるノイズ
 - 電圧ドロップによるタイミング違反
- 外乱要因
 - 粒子線によるソフトウェア

ソフトウェアとは？

■ 放射線がLSIに衝突

- α 線(Heの原子核)
 - パッケージ内の放射性不純物
- 高エネルギー中性子
 - 宇宙より
 - 航空機では影響大
 - 1万mで100倍
- 熱中性子
 - ^{10}B と反応
- 重イオン(Heより大きな原子)
 - 宇宙で問題



発生電荷によりメモリ(FF, SRAM)の記憶値が反転

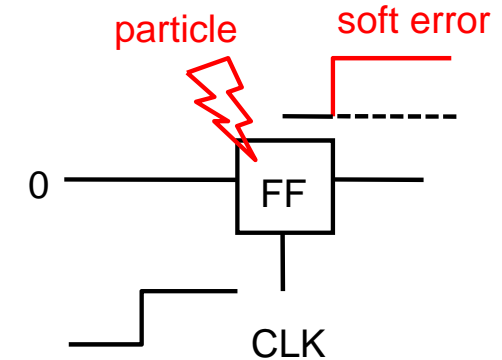
ソフトウェア？実体験

- ハワイ行きの飛行機
 - iPod touch (初代)の、ボリュームが誤動作
 - 再起動で復活
- 日本原子力機構(JAEA)の加速器見学时
 - デジカメが誤動作
 - 何もできなくなる。電源OFFすらできない
 - バッテリーを抜いて対処
- 大阪大学核物理センター(RCNP)の休憩室
 - プラズマテレビの画面半分がブラックアウト
 - 電源入れ直して復活

ソフトウェアの種類

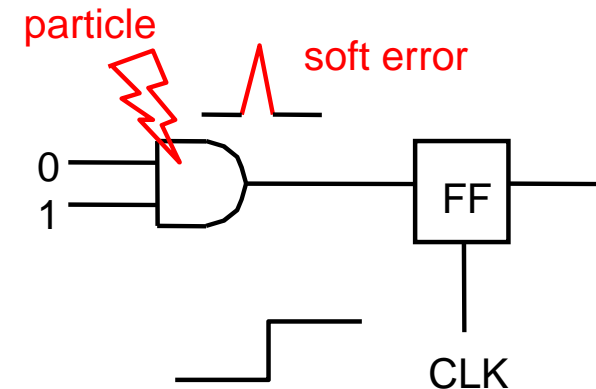
■ Single Event Upset(SEU)

- 粒子線がSRAMやFFに衝突、保持データが直接反転



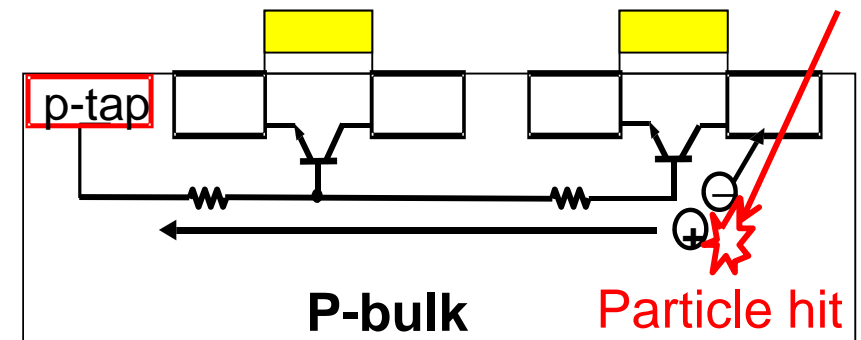
■ Single Event Transient (SET)

- 粒子線が組み合わせ回路に衝突、パルスを生成する
- クロック周波数が高い程エラーになりやすい



■ Multiple Cell Upset (MCU)

- 電子/正孔が複数のノードに蓄積
- 一度に複数のメモリ/FFの保持データが反転する



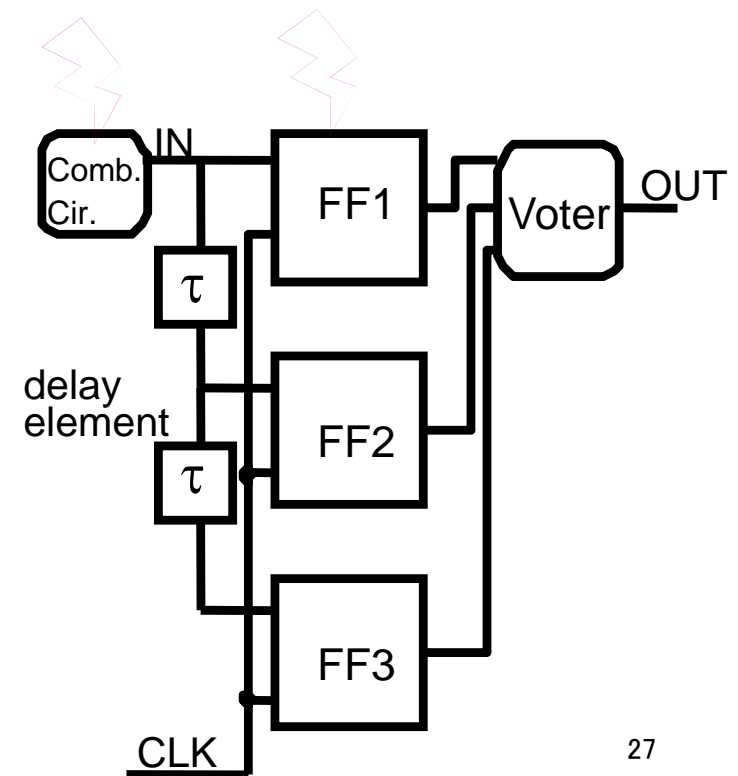
ソフトウェア対策

■ メモリ: Error Check Code(ECC)

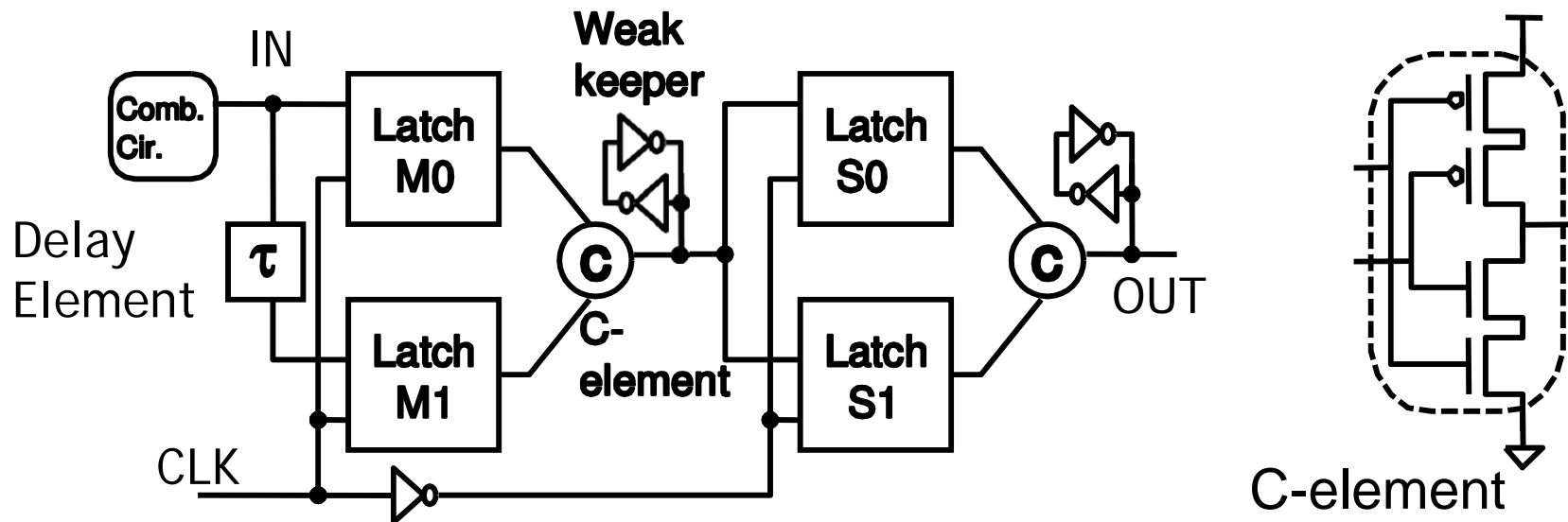
- SRAMにパリティビットを付加し、**SEU**(1ビット反転)を訂正
- **MBU**(同一ワードの複数ビット反転)では訂正不可

■ 順序回路: 多重化

- 回路を多重化して**多数決**
- 組み合わせ回路からのエラーパルス (SET)は遅延素子(τ)により除去
- 2つのFFが反転すると誤動作する
 - 多重化はMCUに脆弱



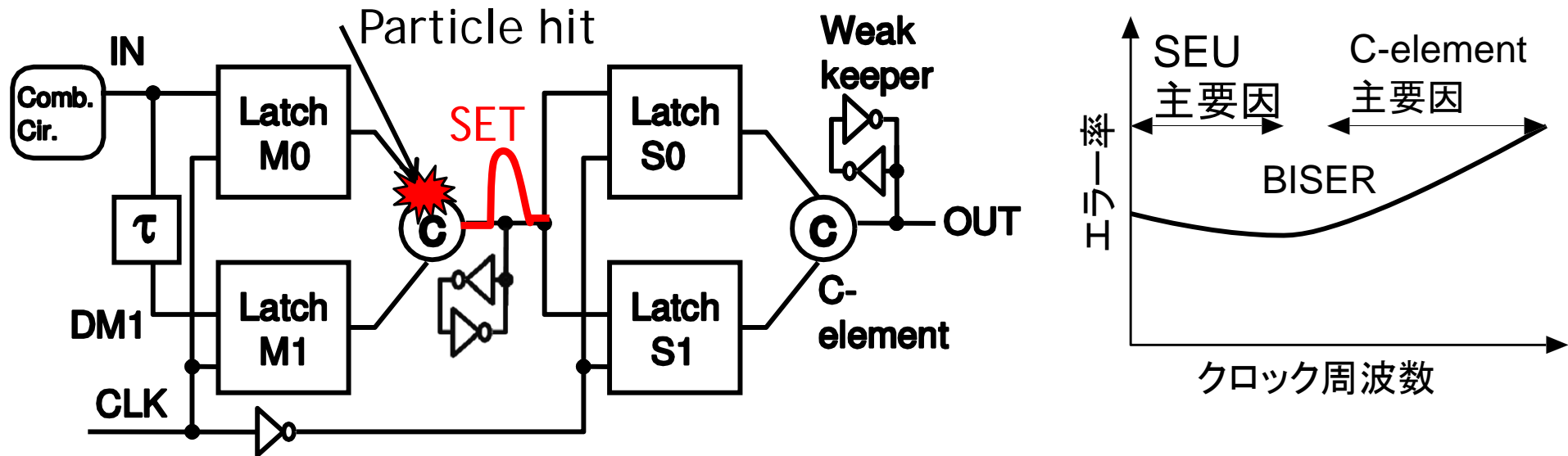
FFのエラー対策： BISER FF



■ [S. Mitra et al. ITC2006]

- C-elementとWeak keeperによりラッチにおけるSEUによる誤動作を防止
 - 多数決はLatch x 2 + Weak keeper
 - 三重化よりも省面積
 - 遅延素子(τ)は一つだけで済む

BISER FFの問題点

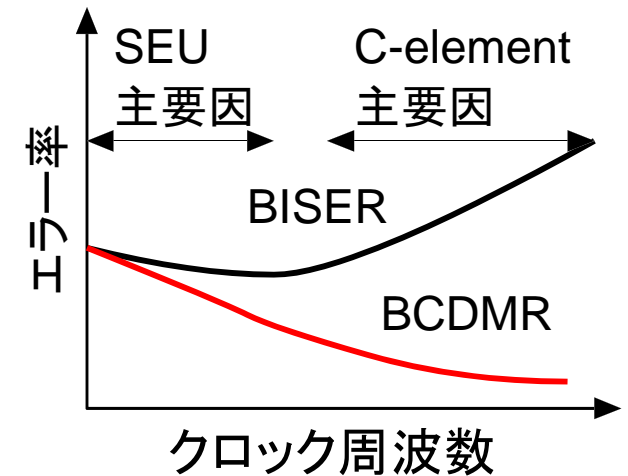
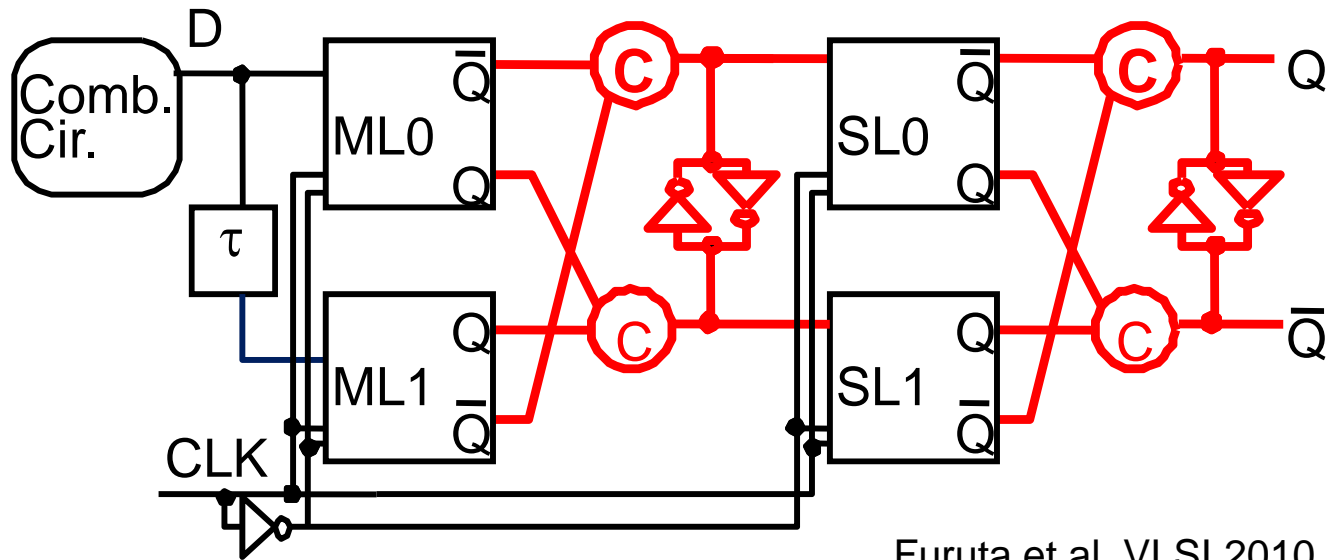


- BISERは、C-Element上のSETパルスに弱い
 - 二つのLatchが同時に反転
 - パルス取り込みによるエラー率はクロック周波数とともに上昇.



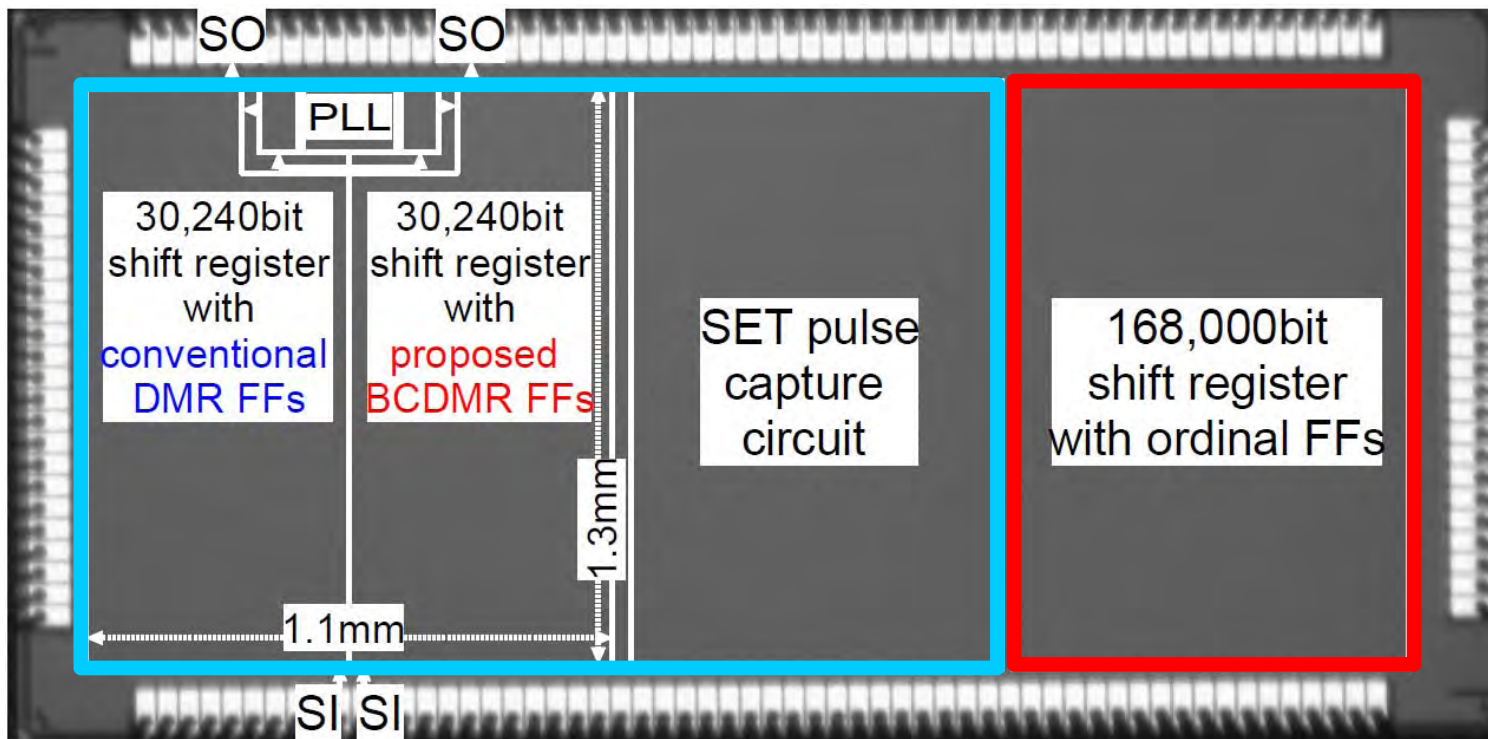
- 250psのSETパルス@1GHz = 1/4の確率

BCDMR FF(特許出願中)



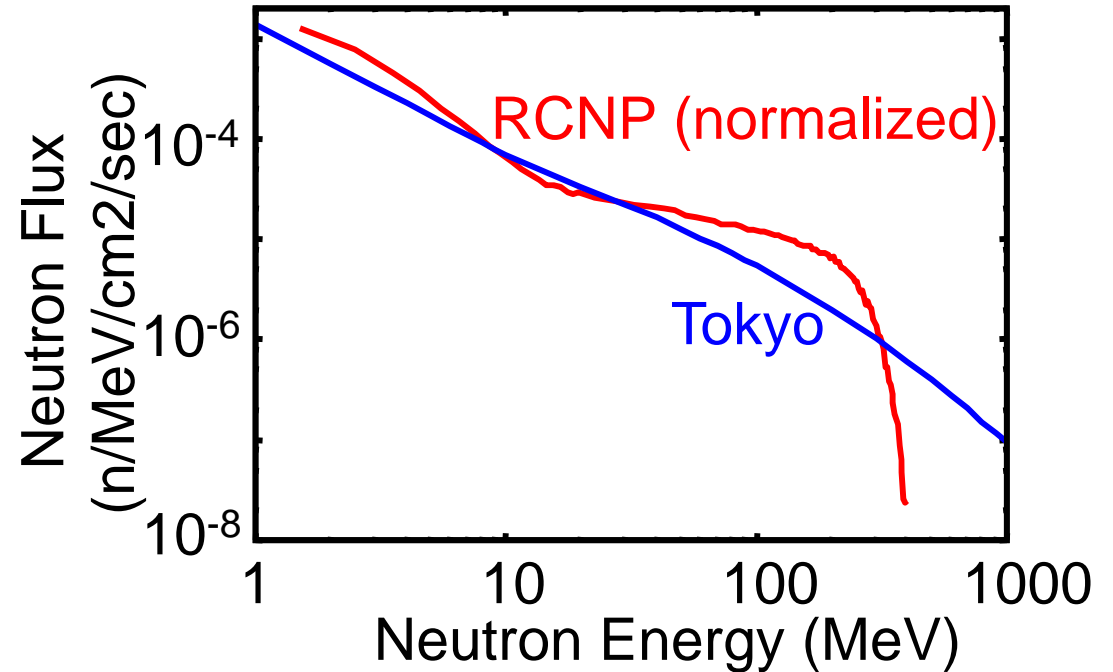
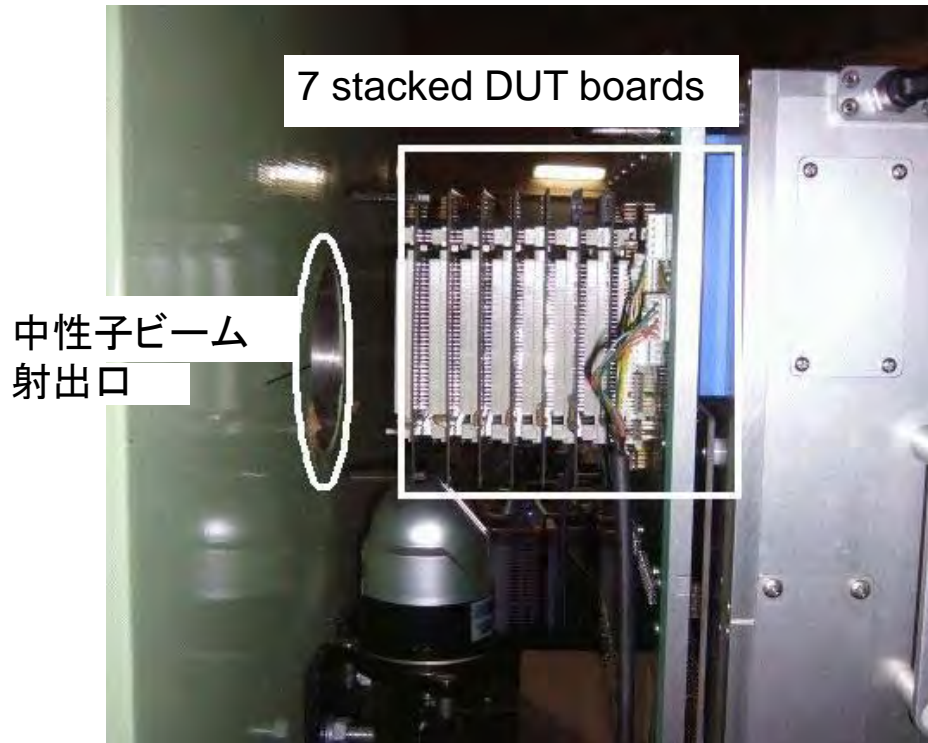
- C-elementを二重化, weak keeperをクロスカップル
 - C-elementからのSETパルスは片方のラッチのみに取り込まれる
- ↓
- クロック周波数が高くなってもソフトエラー率が下がる

65nm CMOSプロセスによる評価



- 3つの回路を1チップ上に集積化(2009/08 TO)
 - 2.1 mm x 4.2 mm
 - 65nm bulk CMOS process(富士通イーシャトル)

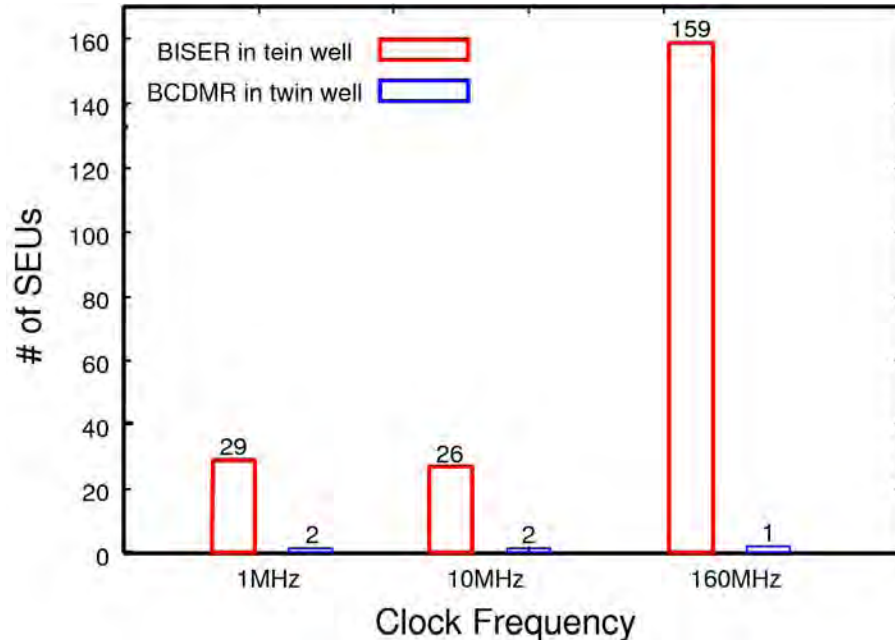
中性子源によるソフトウェア測定



- 大阪大学RCNPの加速器を利用
- 中性子は加速してもエラー数が少ないため、28チップを同時に測定
- 10万年の中性子量を1時間に加速(3.7×10^8)

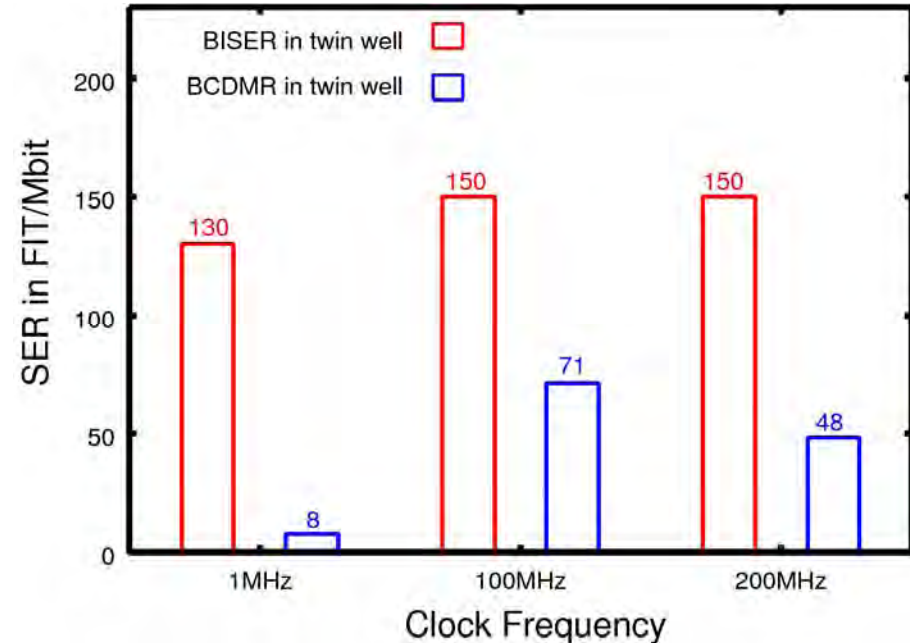
ソフトウェアエラー測定結果

D-FF = 700,000



α線の測定結果

D-FF = 1031 FIT/Mbit

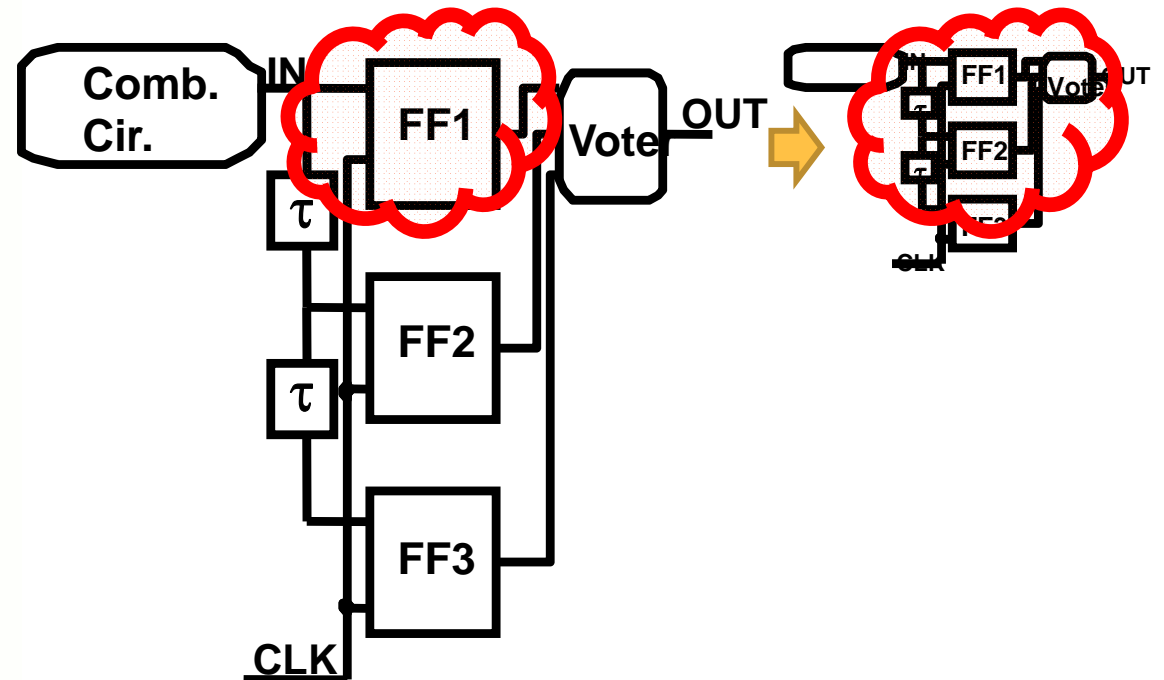
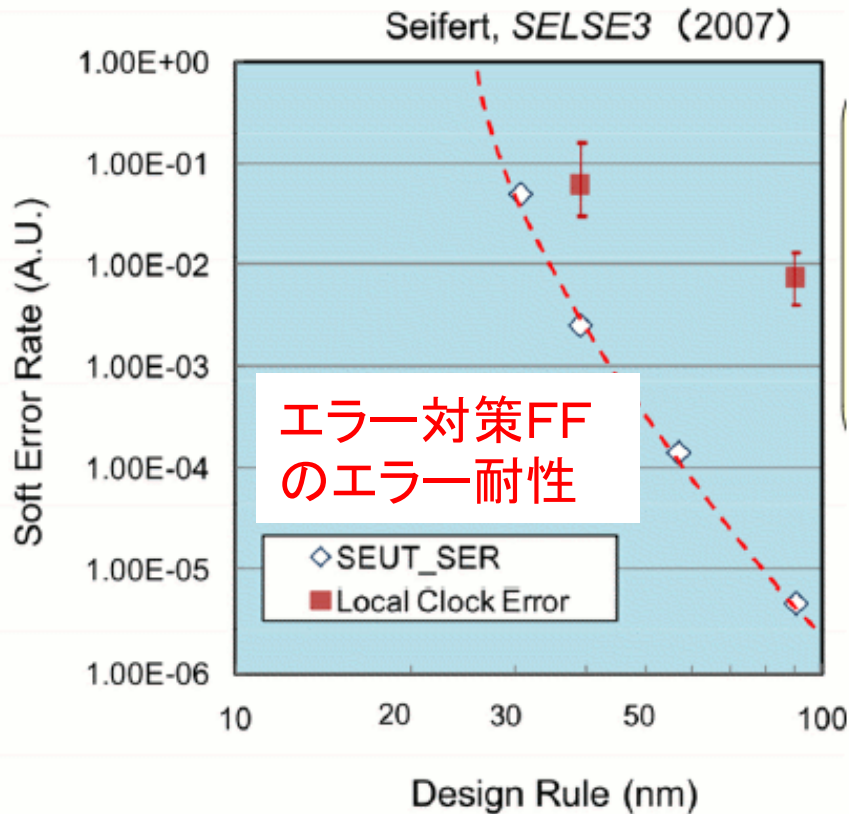


中性子の測定結果

- α線では、D-FFの**70万倍**の強度
- 中性子では、**たった10倍**に...
 - MCU(複数FFの同時反転)に脆弱なレイアウトが原因

MCU問題

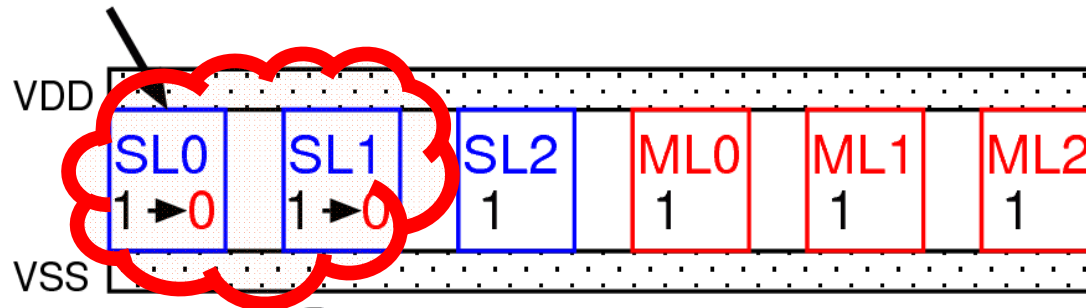
- 冗長化FFはSEUに対しては強いが、MCUに対しては脆弱
- プロセスの微細化に伴いMCUの発生率が増大
 - 高エネルギー中性子で顕著



三重化FFでエラーを防ぐには？

- 多重化したラッチを近傍に配置すると、複数ビット反転 (MCU) による誤動作が起こりやすい

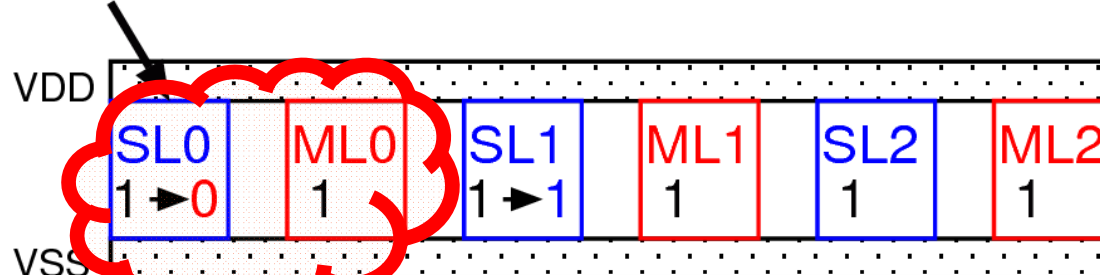
Particle hit



⊗ High SER !!

- インターリーブすると、MCUによる誤動作が起こりにくい

Particle hit

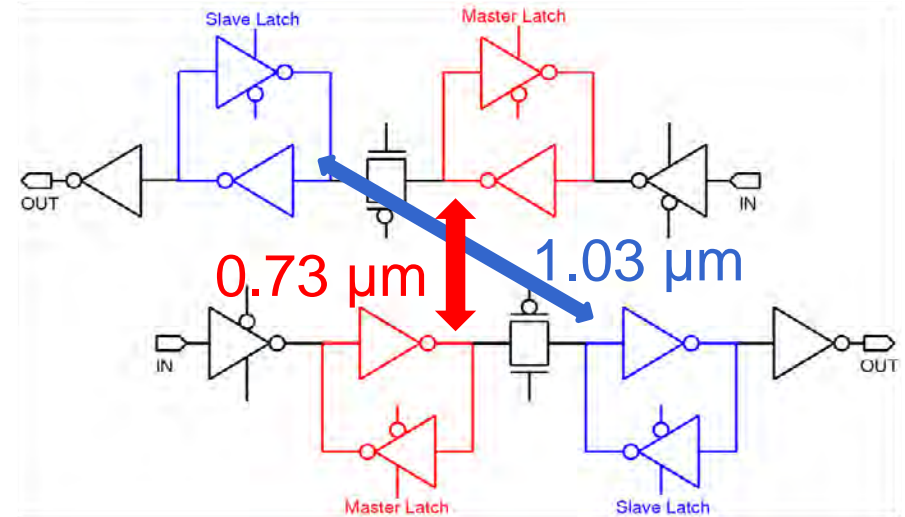


😊 Low SER !!

素子間の距離とMCU発生率

MCUとSEU発生率をD-FFアレイで調査

- たった、0.3 μm の差でMCU発生率は1/4
- 少しでも距離を離せばMCUは起こらない



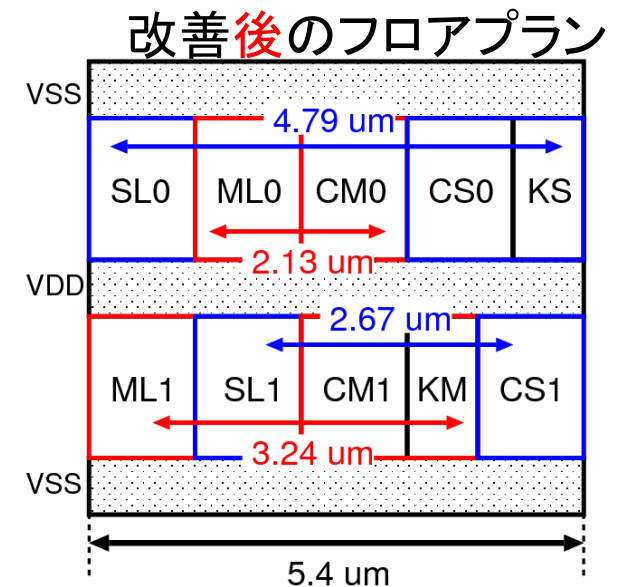
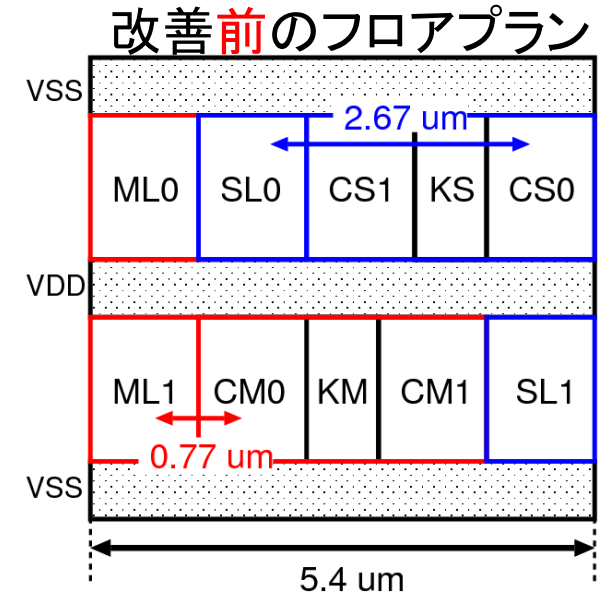
Latch	最短距離	# SEUs	# MCUs	# M/# S
Master	0.73 μm	541	88	16 %
Slave	1.03 μm	493	19	3.8 %

$+0.3 \mu\text{m}$
1/4

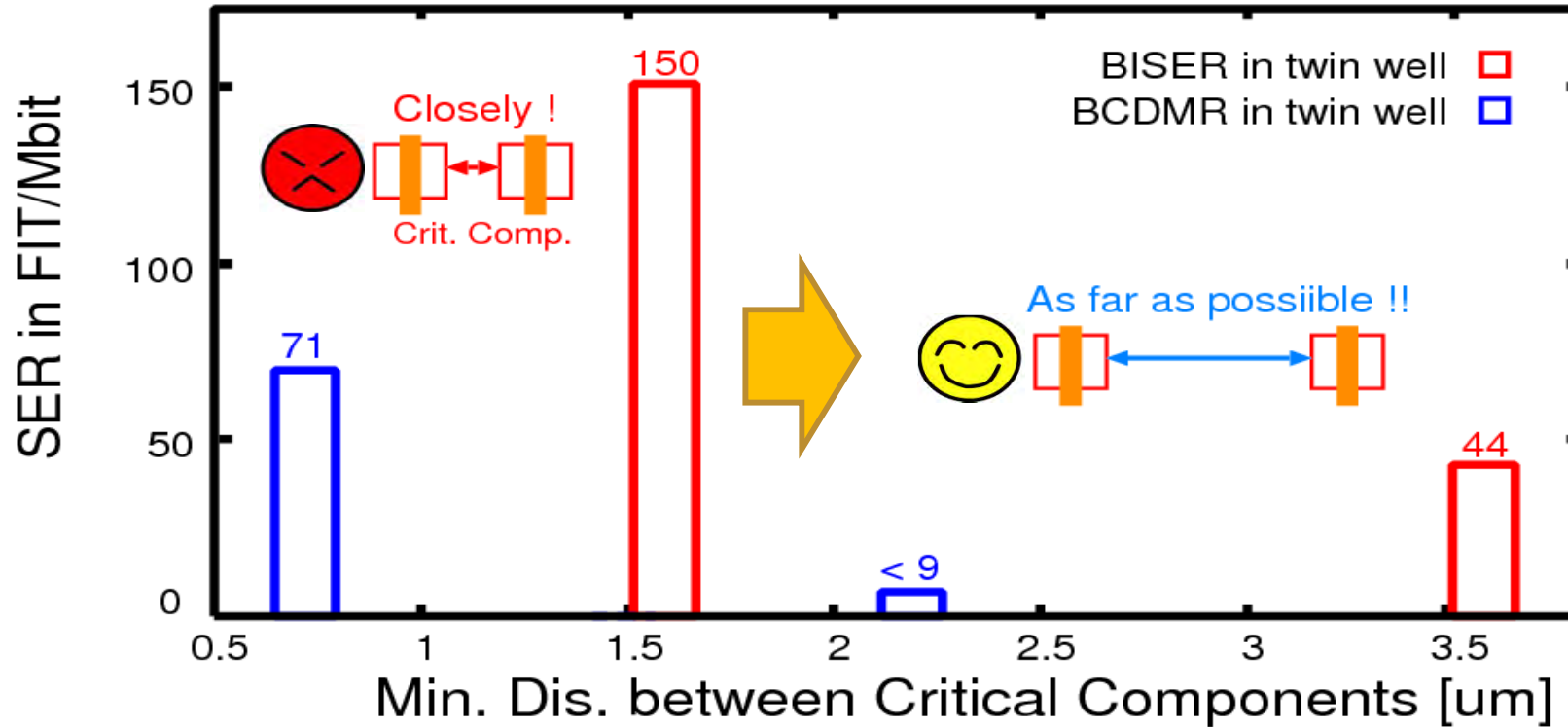
MCUを起こりにくくするためのFP

- 最初のフロアプラン(FP)では、一部のCritical Comp.の距離短い
- 修正後のFPでは、最小距離を2.8倍とした
 - 回路ブロックの入れ替えで対処したため、面積オーバーヘッドは0

		最短距離
BCDMR FF	改善前	0.77 μm
	改善後	2.13 μm



100MHzでの中性子実験結果



		最短距離	FIT/Mbit			最短距離	FIT/Mbit
BCDMR	改善前	0.77 μm	71	BISER	改善前	1.54 μm	150
	改善後	2.13 μm	< 9		改善後	3.61 μm	44
		2.8 x 1/8				2.3 x 1/3.4	

一時故障まとめ

- 一時故障には、冗長化(多重化)が必須
 - 冗長化は面積、遅延、電力オーバーヘッド大
- MCUにより、多重化が無効に
 - レイアウト構造を工夫することにより、防ぐことが可能(65nm)
- さらなる微細化、低電圧化
 - FINFET, SOI $SER \propto x1/10$
 - 低電圧化 $SER \propto \exp(-Q_{crit}/Q_s)$, $Q_{crit} \propto CV$
- 多重化しても、複数反転が起こる。

対処法

- 多重化 + 検出技術
 - 多重化が反転したことを検知してアラート

講演内容

- 信頼性と可用性
- ばらつきとその対応策(2004-2008)
 - ばらつきを利用した速度と歩留まり向上について
- 一時故障とその対応策(2007-)
 - 主にソフトウェアについて
- 経年劣化(永久故障)とその対応策(2007-)
 - 主にBTIについて

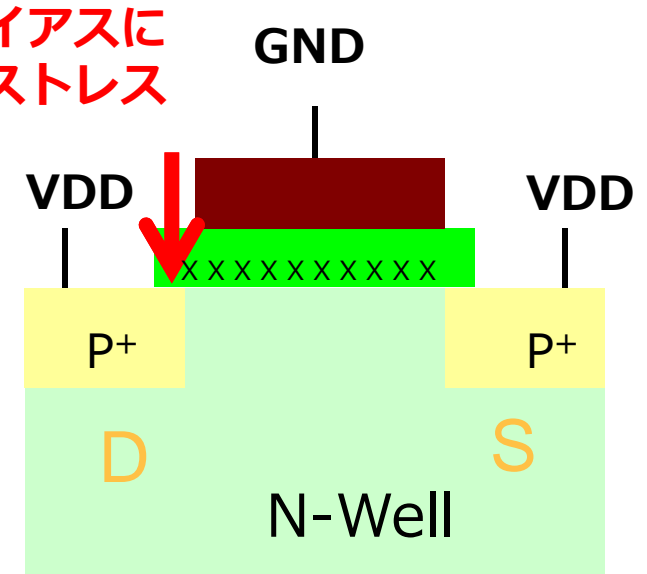
経年劣化

- 使っていくうちに性能が劣化していく
 - 英語では、wear-out(着古す)
- どれくらい持てばよい？
 - 耐久消費財なら10年？ 携帯機器なら5年？
- 微細化により、BTI (Bias Temperature Instability) による劣化が問題に

BTIによる経年劣化

■ Bias Temperature Instability 負バイアスによるストレス

- バイアスと温度によって加速される劣化
- PMOS: Negative BTI (NBTI)
- NMOS: Positive BTI (PBTI)
- 長期間のストレスによりトランジスタが劣化
- 10年で10%



MOSTトランジスタの断面図

■ 酸化膜中の欠陥が劣化に関与

- Permanent(戻らない)成分とRecoverable(戻る)成分
- DCストレスとACストレスでは様相が異なる

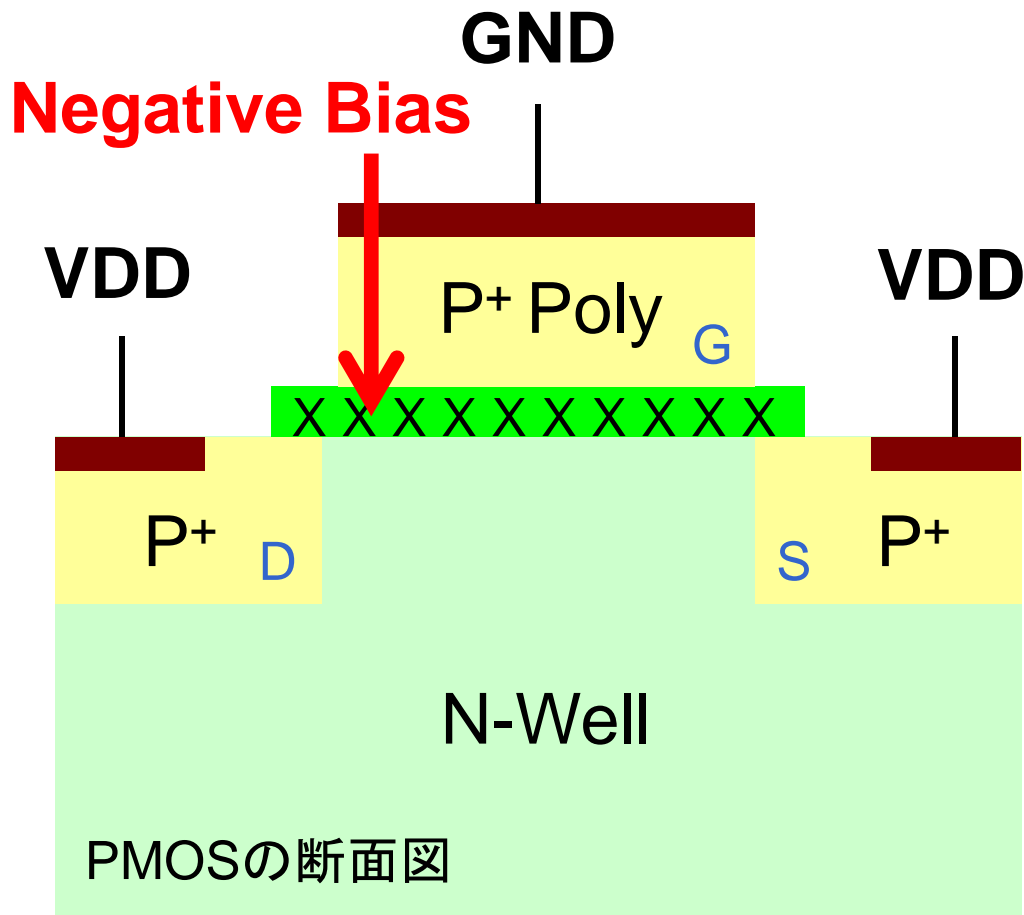
C880	1 Year	10 Years
High	5.93%	8.71%
Low	5.06%	7.42%
室温	3.38%	4.94%

温度による劣化度合
Y. Cao. Trans. on VLSI 2010

BTIの二つの説

- Reaction-Diffusion (R-D) Model
 - By M.A. Alam (Univ. of Illinois)
 - Si-HのHが外れ H_2 になり拡散し、Permanent成分に
 - 酸化膜の欠陥が増える
- Trap De-Trap (T-D) Model
 - By H. Reisinger, T. Grassler (Univ. Wien)
 - RTNの集合がBTI
 - 酸化膜の欠陥は増えない
 - 時定数の大きい(> 数年)欠陥がPermanent成分に見える
- IRPS(毎年4月開催)で、数年前から激しい議論
 - 個人的な見解だが、T-D Modelのほうが素直に受け入れられる
 - R-DからT-Dへの乗り換えも多数

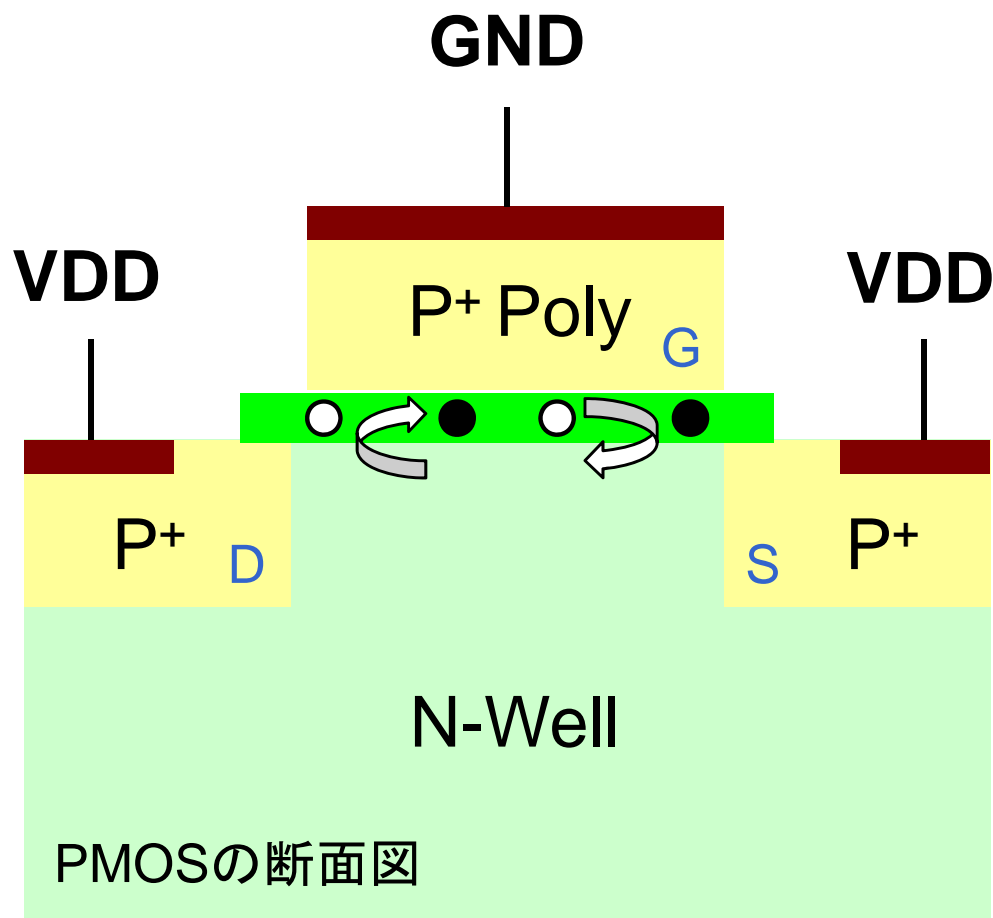
R-D (Reaction-Diffusion) Model



x: Si-SiO₂界面に発生したトラップ

- ゲートにストレスが印加されると、Si-Hの結合が遊離
- Si-SiO₂界面にインターフェーストラップ (結合していない電子対) を生成
- トラップがキャリアを捕捉

RTN (Random Telegraph Noise)

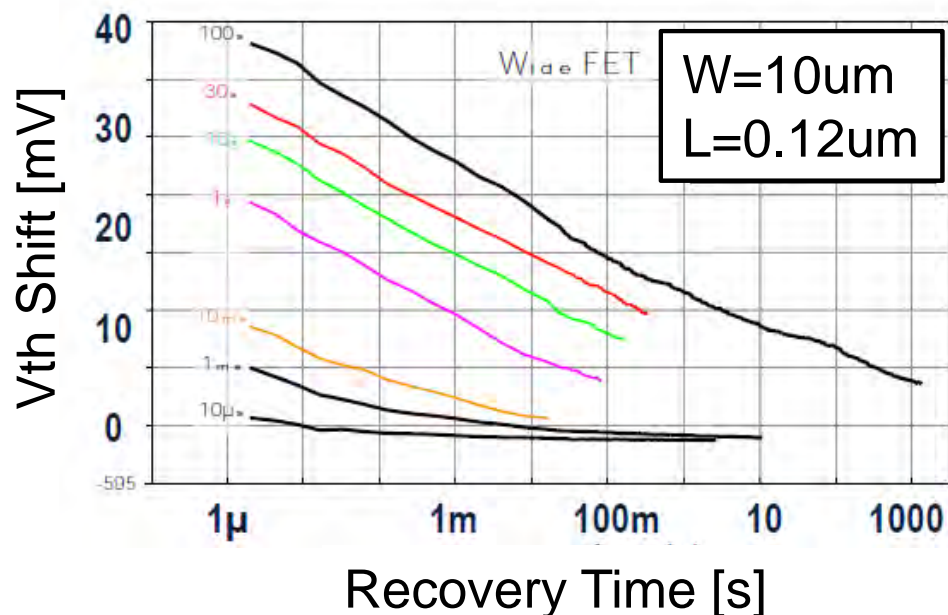


- : ゲート酸化膜の欠陥への捕捉
- : ゲート酸化膜の欠陥からの放出

- 製造時にゲート酸化膜に出来る欠陥がキャリアを捕捉・放出
- 欠陥1個へのキャリアの捕捉、放出で閾値電圧が動的・離散的にばらつく

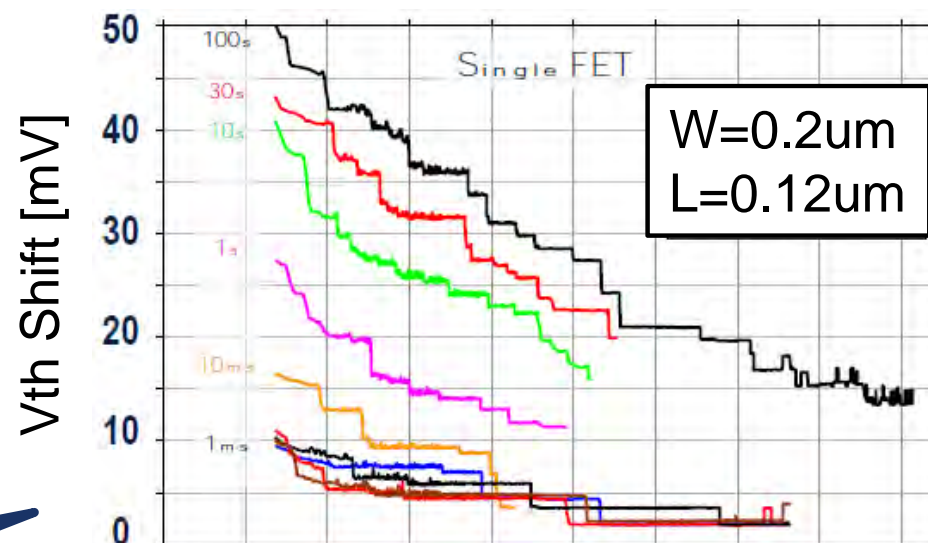
NBTIとRTNの類似点

- 巨視的に見たNBTIの閾値電圧劣化の回復



微細化

- 微視的に見たNBTIの閾値電圧劣化の回復

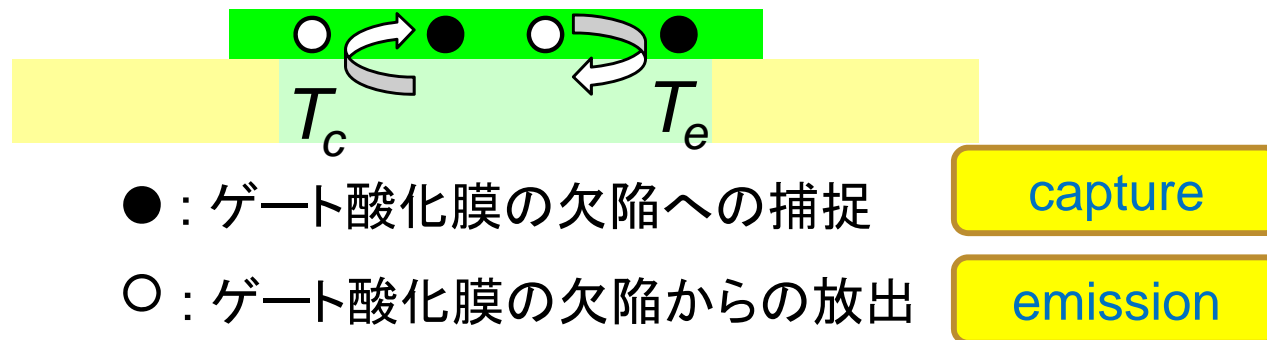


離散的な閾値電圧変動

Trap De-Trap Model

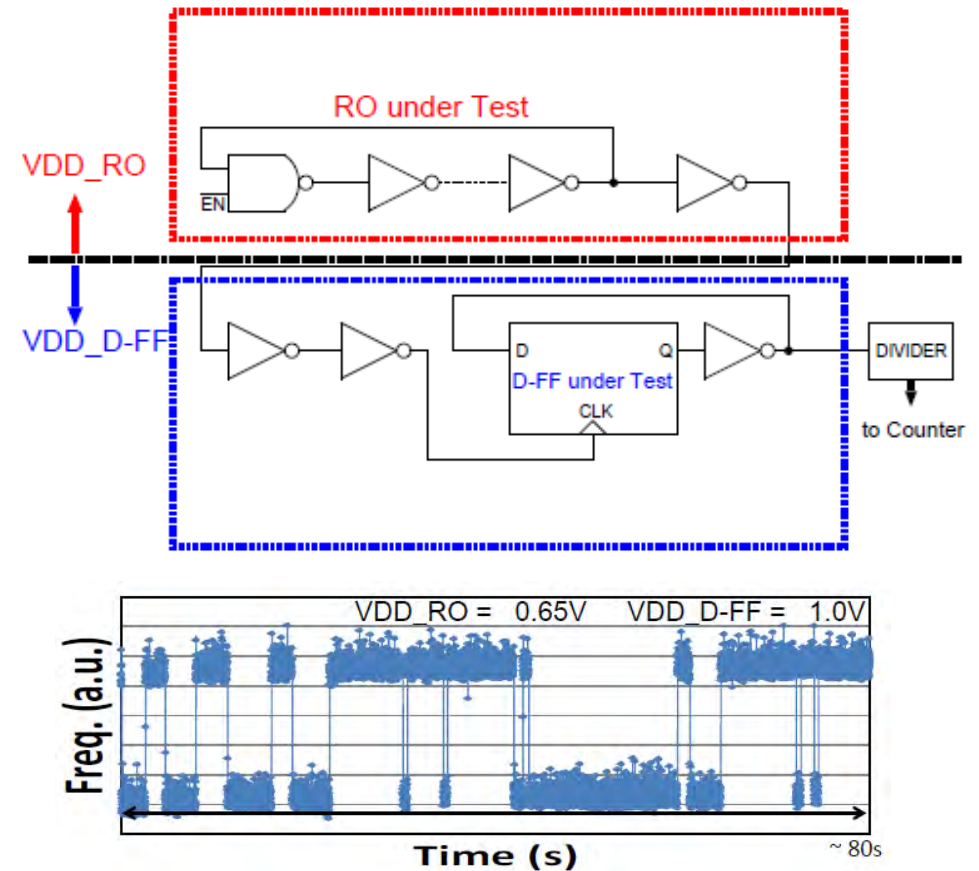
- NBTIの物理的な原因はRTNと同様に**最初から存在する**ゲート酸化膜の欠陥
- 時定数は $10^{-9} \sim 10^9$ s (数十年間)の範囲に分布
 - 長期的に閾値電圧が変動する \equiv 永続的な劣化

$$\Delta V_{TH_TD} \propto \phi [A + \log(1 + Ct)]$$



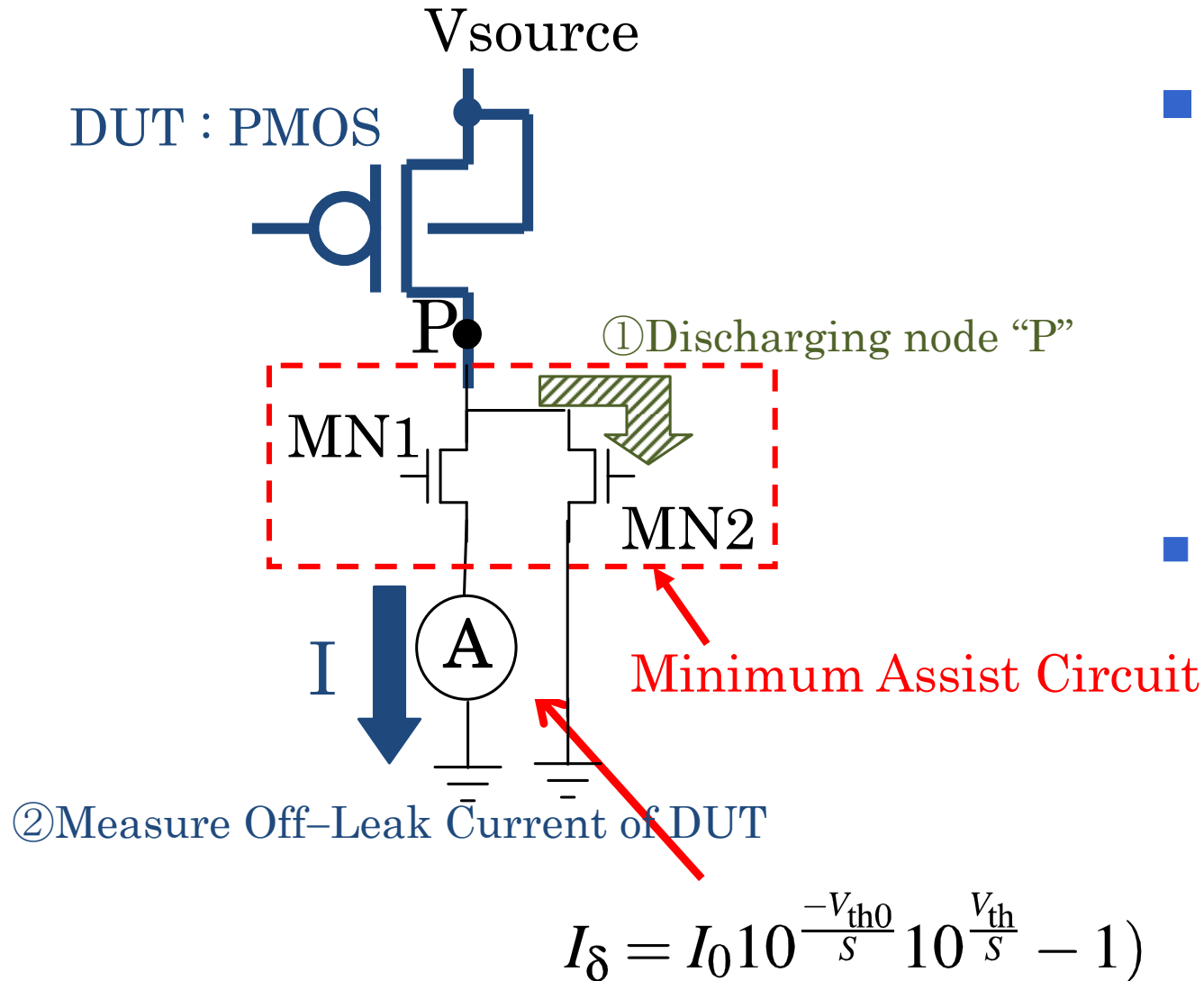
発振器のRTN観測結果

- RO + 分周器による測定回路
 - 65nm CMOSで試作
- Ring Osc.の電圧を下げると周波数が2値変動



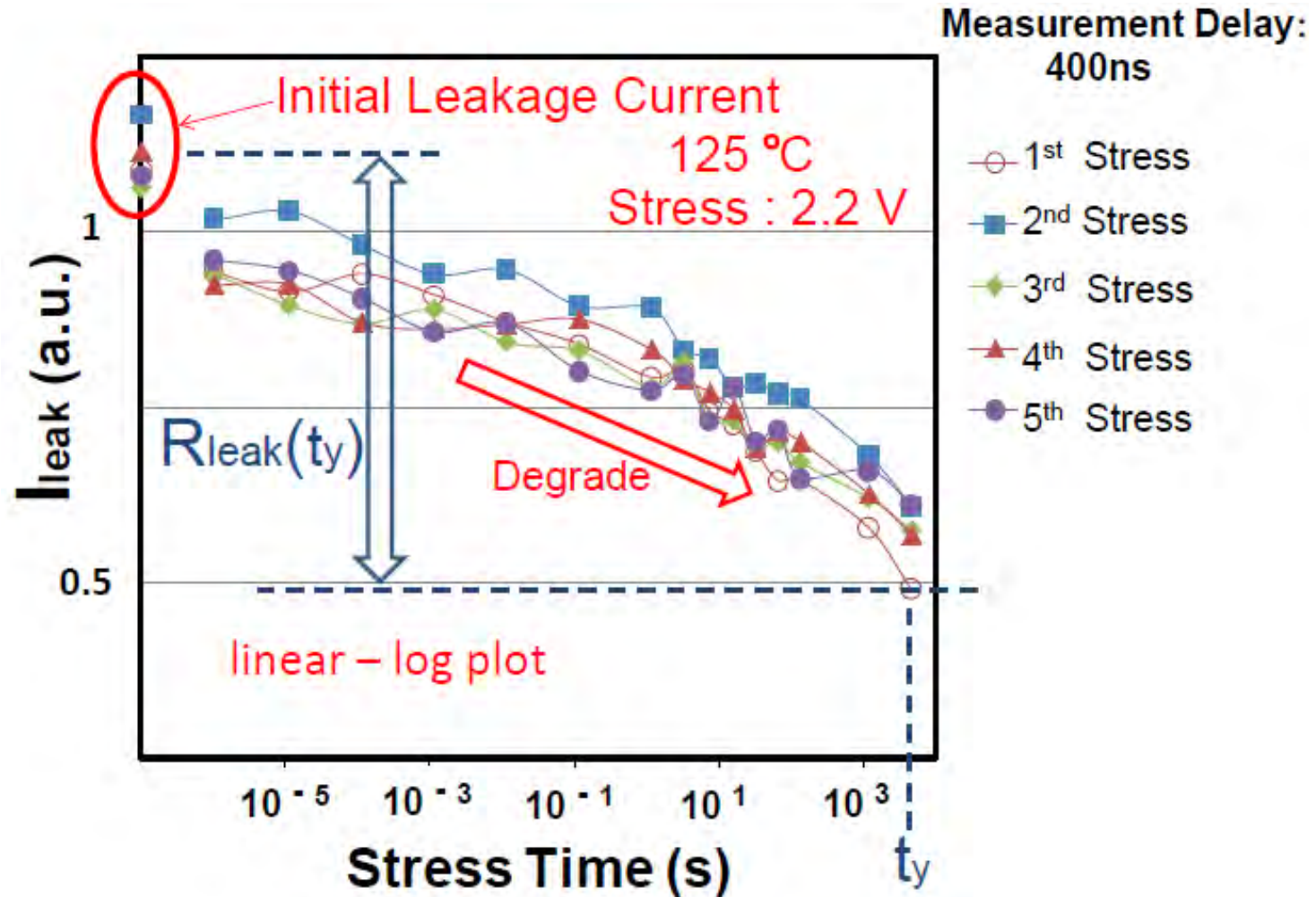
T. Matsumoto et. al., Workshop on Variability Modeling and Characterization, 2011

リーク電流を用いたNBTI測定回路



- OFFリーク電流でNBTI劣化を測定
 - リークは V_{th} に敏感
- Assist Circuit
 - ストレス時にたまった電荷を逃がす
 - 電流計のレンジが変わらない

繰り返し測定による劣化測定結果



t_y ~ 1年後の状態 @ 加速しない条件(室温+標準電圧)
同じデバイスに繰り返しストレスを与える

⇒ 毎回回復している。短時間測定ではPermanent成分は見られない

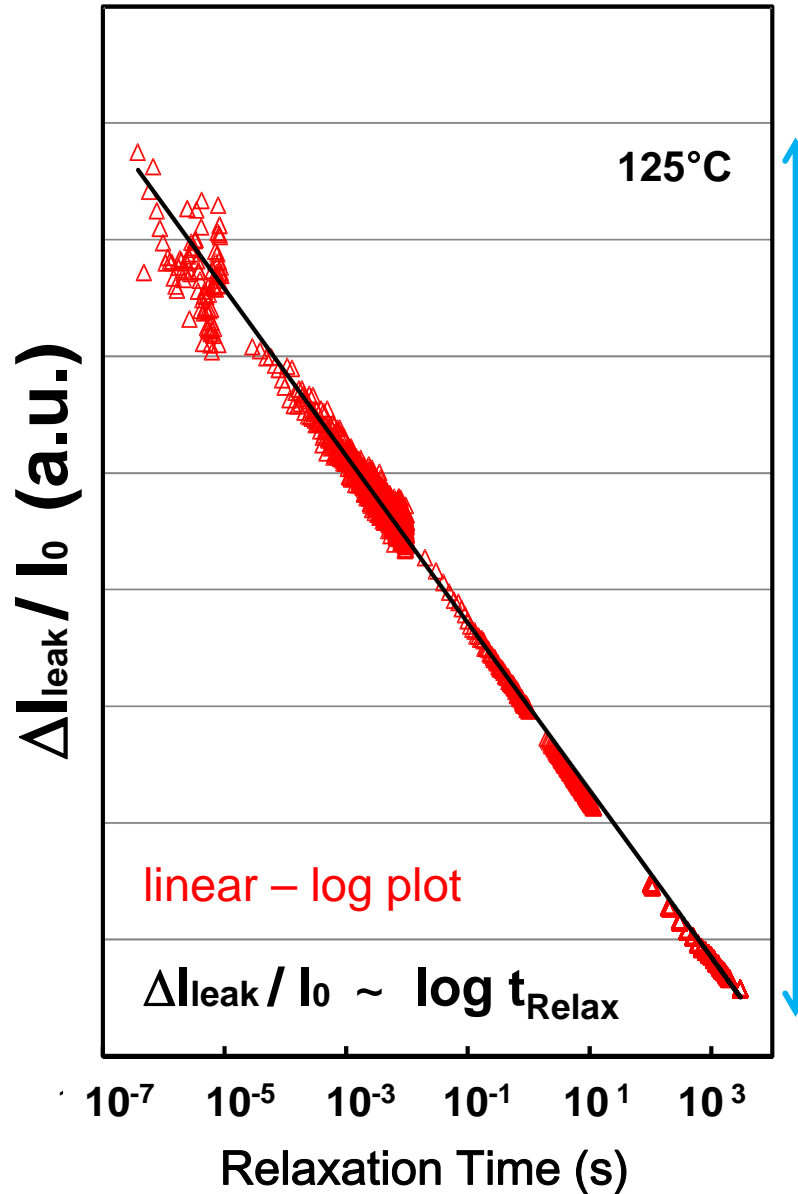
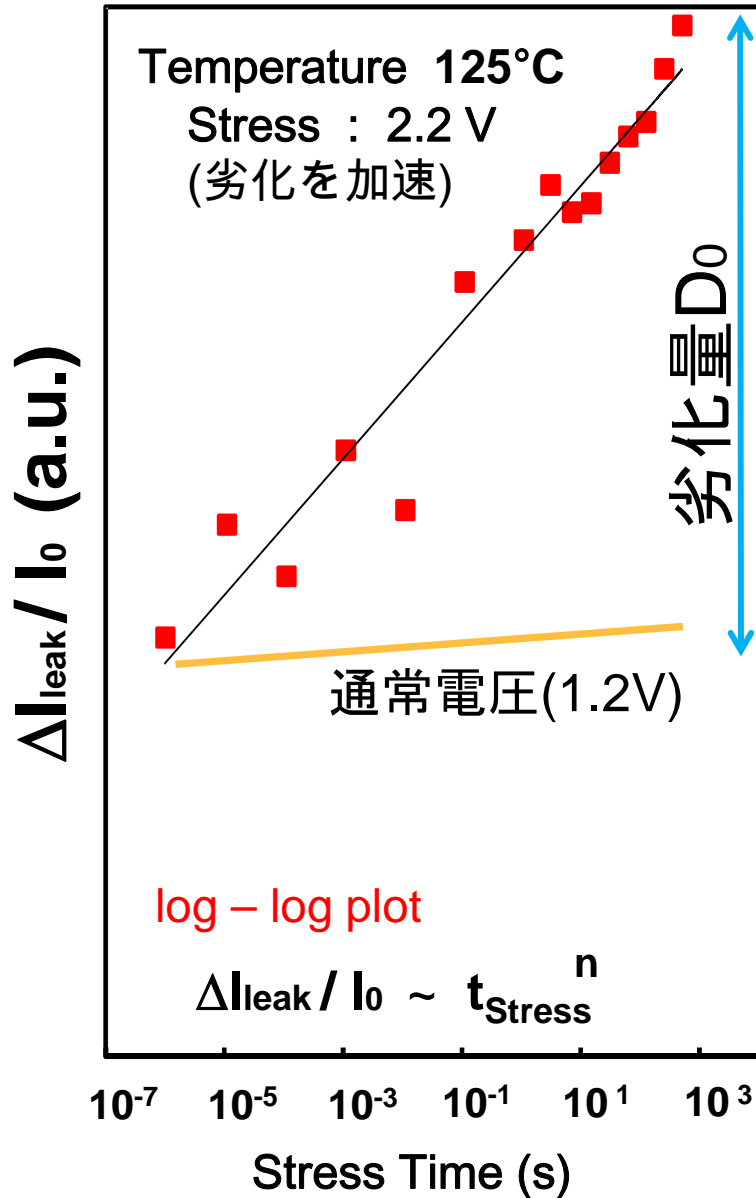
劣化と回復

電圧加速= $(V_{acc}/V_{nom})^m$

$m=4\sim 10$ 程度

NBTI 劣化

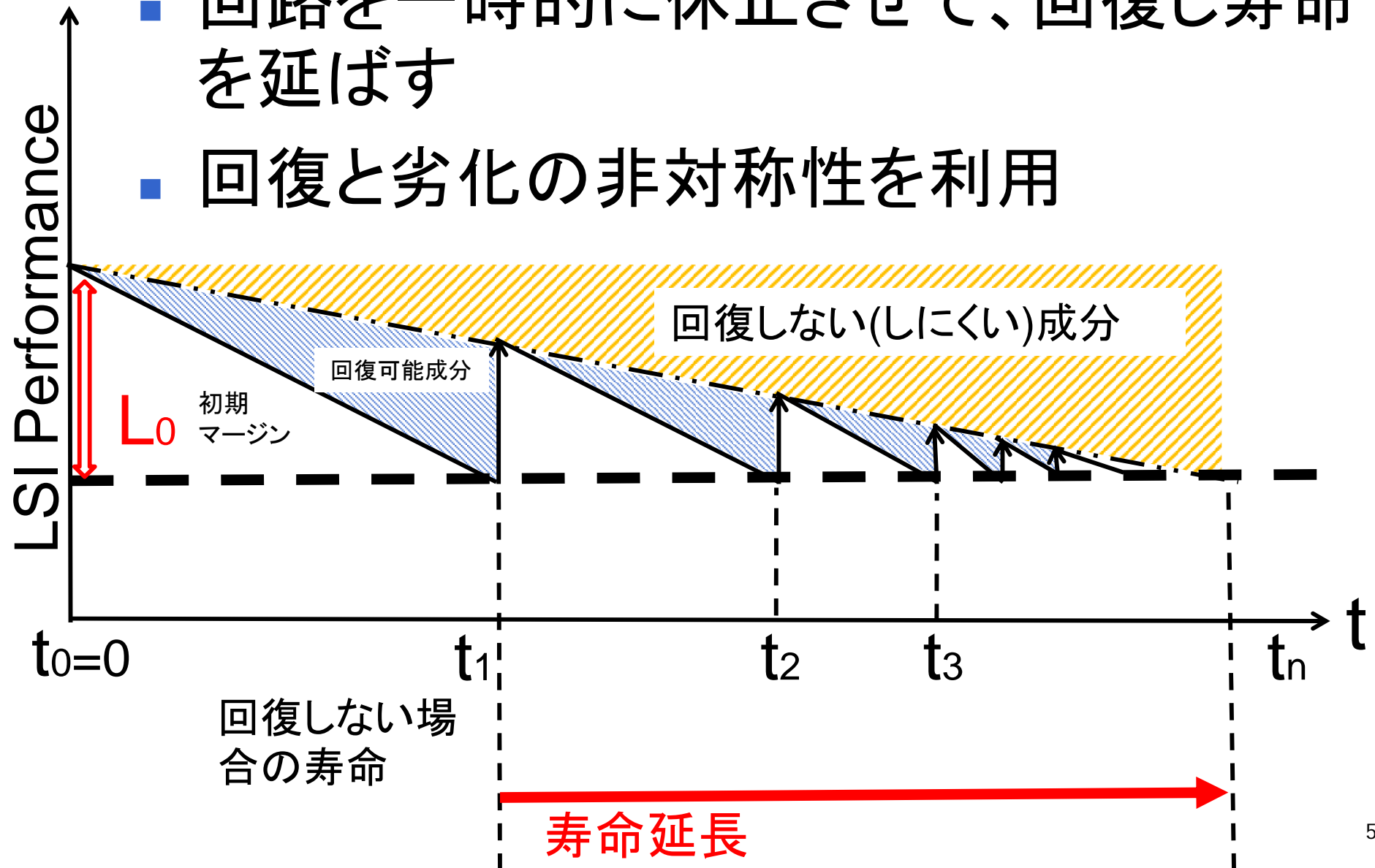
NBTI 回復



劣化は緩慢、回復は急激

回復を利用して寿命を延ばす

- 回路を一時的に休止させて、回復し寿命を延ばす
- 回復と劣化の非対称性を利用



経年劣化とその対策

- BTIは、製造時の欠陥により生じる
 - BTIは不可避の劣化
- RTNを引き起こす酸化膜中の欠陥による
 - Trap De-Trap Model
 - 多数のRTNの積分がBTI
- $|V_{gs}| \gg 0$ で、劣化、 $|V_{gs}| = 0$ で回復
 - 劣化と回復は非対称
 - なかなか劣化しないが、すぐに回復

対処法

- 時々回復させることで寿命延長が可能

まとめ

- LSIの微細化は急ピッチで進んでいる
 - 微細化により、信頼性が大きな問題
- 信頼性問題への対処法
 - 対ばらつき
 - チップ内ばらつきに応じた配置の最適化
 - 対一時故障
 - 回路の多重化＋検出技術
 - 対経年劣化
 - 回路を休ませて寿命延長

小林研究室の発表文献については、ホームページをご覧ください

京都工繊大 小林研

検索

謝辞

- 本研究に携わっていただいた京大、京都工繊大の学生に感謝します。

