
国際会議への論文の執筆ガイド ～ VLSI設計技術分野での一考察 ～

大阪大学情報科学研究科

橋本昌宜

hasimoto@ist.osaka-u.ac.jp

<http://www-ise2.ist.osaka-u.ac.jp/~hasimoto/>

はじめに

- 本内容は、これまで試行錯誤して個人的に採択率が上がる論文の書き方として分かってきたこと、ならびに普段学生に言っていることの紹介です。違うご意見をお持ちの方も多くいらっしゃると思いますので、議論させていただければ幸いです。
- 個人的見解と記載している部分は、適切な内容でない可能性があります。

発表内容

- 国際会議と査読プロセス
- 論文執筆のポイント

DAC, ICCAD, ASP-DAC, DATE

- EDA/CAD関連で、DAC, ICCADは双璧をなす
トップ国際会議
 - 明確に線が引かれているわけではないが、傾向は
 - DAC: 設計メソドロジーを含めた設計事例もフォーカス
 - ICCAD: CADアルゴリズムに主体
- ASP-DAC, DATE は地域名がついているが、DAC, ICCADに次ぐ会議として世界的に認知

論文数の統計情報 (DAC)

■ Total Submissions:

- ❑ 2002: 489 papers (~28% acceptance)
- ❑ 2003: 628 papers (~25% acceptance)
- ❑ 2004: 785 papers (~20% acceptance)
- ❑ 2005: 735 papers (~18% acceptance)
- ❑ 2006: 867 papers (~21% acceptance)
- ❑ 2007: 659 papers (~20%? acceptance)
- ❑ 2008: 639 papers (~23% acceptance)
- ❑ 2009: 684 papers (~22% acceptance)

論文数の統計情報 (ICCAD)

■ Total Submissions:

- ❑ 2002: 381 papers (~28% acceptance)
- ❑ 2003: 490 papers (~26% acceptance)
- ❑ 2004: 520 papers (~24% acceptance)
- ❑ 2005: 540 papers (~24% acceptance)
- ❑ 2006: 541 papers (~23% acceptance)
- ❑ 2007: 510 papers (~27% acceptance)
- ❑ 2008: 458 papers (~27% acceptance)
- ❑ 2009: 438 papers (~26% acceptance)

論文数の統計情報 (ASP-DAC, DATE, ISPD)

- Total submissions:
 - DATE '05: 825 papers, 21% acceptance
 - DATE '06: 834 papers, 32% acceptance
 - DATE '07: 933 papers, 22% acceptance
 - DATE '08: 839 papers, 24% acceptance
 - ASP-DAC '06: 424 papers, 42% acceptance
 - ASP-DAC '07: 408 papers, 32% acceptance
 - ASP-DAC '08: 350 papers, 35% acceptance
 - ASP-DAC '09: 355 papers, 33% acceptance
 - ISPD '06: 72 papers, 35% acceptance
 - ISPD '07: 65 papers, 34% acceptance
 - ISPD '08: 60 papers, 33% acceptance
 - ISPD '09: 60 papers, 35% acceptance
 - ISPD '10: 70 papers, 31% acceptance

査読システム (DAC)

- 4-7名程度のサブコミッティ単位で採否
 - ほぼ全委員が物理的に集まって一日かけて議論
- 各論文4名程度の委員が査読
 - さらに外部査読者が1-3名
- 各委員30本の論文を一ヶ月で読む必要
 - (個人的見解) あまり外部査読者の評価や質問への返答は重視されていない

査読システム (ICCAD)

- 4-7名程度のサブコミッティ単位で採否
 - ほぼ全委員が物理的に集まって一日かけて議論
 - 2010年は物理的に集まらず
- 各論文4名程度の委員が査読
- 各委員15-30本の論文を一ヶ月で読む必要

査読システム (ASP-DAC, DATE)

- ASP-DAC
 - 4-9名程度のサブコミッティ単位で採否
 - ほぼ全委員が物理的に集まって一日かけて議論
- DATE
 - サブコミッティ単位で採否
 - 物理的には集まらず
- 各委員15-30本の論文を一ヶ月で読む必要

論文の採否

- 他の論文や過去の技術と比べて、優れていることをプログラム委員に説得できたかどうか
- 20%程度の採択率
 - プログラム委員にとっても大変厳しい選択
 - 大きなマイナスポイントがあると挽回不可能
 - 内容
 - 新規性
 - 書き方
 - 実験条件・結果
 - 参考文献
 - など
 - 高いレベルでバランスがとれている必要

一回であきらめない

- USの著名な先生のグループでも相当数の論文は落ちてている
- EDA/CAD分野ではコメントが多く返ってくる
 - コメントをもとに修正して再投稿することが極めて重要
 - 実際、結構な数の論文が、「不採録->修正->再投稿->採択」となっている

例

- ICCAD98不採録 -> DAC99採録
- DAC03不採録 -> ICCAD03採録
- DAC06不採録 -> ICCAD06採録

回路分野との違い

- 回路分野の場合、採否に下の2点が作用
 - 性能の数値
 - (個人的見解) 著者グループ
- EDA/CAD分野の場合
 - 数値だけでなく、論理的な手法や説明になっているかが重要
 - 根拠のない大胆な近似や直感的にも説明できない経験的な手法の導入は好まれない
 - 基本、blindなので著者グループは採否に無関係

発表内容

- 国際会議と査読プロセス
- 論文執筆のポイント
 - Contributionの明確化
 - 序盤で論文への興味を引く
 - 議論の展開
 - 論文の執筆手順
 - 伝えたいことはすべて書く
 - 参考文献
 - 見た目の美しさも重要
 - 式の導出や展開
 - 提案手法の書き方
 - 実験条件
 - 実験
 - 論文記述上の注意点
 - 図、グラフの作成
 - 英語
 - 細かなポイント

Contributionの明確化 (1/3)

- 論文を書く上でもっとも重要
 - どんな成果を私は世の中にアピールしたいのか
 - 過去の既発表の仕事に対して、どういう風に私の仕事は進歩しているのか。
- Contributionが定まらずに書くと、
 - 議論の筋がぶれる
 - 不要な内容が書いてある
 - 必要な内容が書いていない
 - 論文の主張点がぼやけて伝わらない

Contributionの明確化 (2/3)

- 書き始める前に、必ずcontributionを1-2文、もしくは箇条書きする
- Contributionが定まると
 - 論文の他の部分は、このcontributionを説明するために存在する
 - Contributionがダイレクトに主張できる論文構成に
 - Contributionの主張に必要な不可欠なことのみ書く
 - 不要な内容は、論文の質やインパクトを下げ、プログラム委員を惑わせるので書かない

Contributionの明確化 (3/3)

- 読者がcontributionを明確に見つけて、アンダーライン等を付けてもらえるよう、見つけ出しやすい形で、直接的に書くことが重要
 - 査読途中で、何がcontributionだったか再確認するときに便利
 - 最近、“The contributions of this works are: ...”のようにダイレクトな記述を書くことが多い
 - “This paper proposes ... “等で始まる段落で、主張点を列挙することも多い。

例1

than repeater-inserted global wires.

1. Introduction

Recently, thermal integrity is becoming a principal design issue, since reliability such as electromigration [1, 2] and leakage current are strong functions of temperature, and increased power consumption makes the thermal problem more serious. To solve this problem, thermal analysis of a whole chip and temperature-aware design from architectural level [3] to physical design level [4] are a hot topic both in academia and industry.

From a micro point of view, on the other hand, self-heating problem of global wires has been comprehensively studied [5–11]. Self-heating effect is a phenomenon that the energy dissipated by wire resistance generates heat inside the wire, which results in an increase in temperature. An overheated wire causes [11]: (1) deterioration of signal propagation delay because of the electric resistance increase, and (2) reliability degradation such as electromigration. As for global wires, the self-heating problem has been discussed intensively, because the self-heating problem is thought to be more significant in global wires due to the following reasons [11]: (1) global wires are distantly routed

This paper predicts that the self-heating effect arises in short intra-block wire in the future, and its temperature increase is compared with the increase in global wires that has been mainly discussed so far. The previous work [11] assumes an extreme configuration of current flowing in a global interconnect to clearly point out the self-heating problem. However, the impact of self-heating in a practical design, e.g. with buffer insertion, is still unclear. To evaluate the self-heating problem of signal wires from the viewpoint of practical circuit design, this work assumes a clock distribution, which is one of the practical worst-case, because the switching probability is one. As for global wiring, buffer insertion is considered to remove excessively long wire configurations.

The contribution of this work is to reveal that the wire self-heating problem arises not only in global wires but also in short intra-block wires in the future, and the temperature increases would be comparable, or rather the short wires will face severer self-heating. Our prediction will give a message to the future design guideline and contribute to improve reliability and performance.

The rest of the paper is organized as follows. Section 2 explains the motivation of this work. Section 3 describes the wire and chip models that are used for the prediction. Section 4 shows prediction results of the temperature in-

例2

Abstract— This paper presents an allocation method of decoupling capacitance that explicitly considers timing. We have found and focused that decap does not necessarily improve a gate delay at all the switching timing within a cycle, and devised an efficient sensitivity calculation of timing to decap for decap allocation. The proposed method, which is based on a statistical noise modeling and timing analysis, accelerates the sensitivity calculation with an approximation and adjoint sensitivity analysis. Experimental results show that the decap allocation based on the sensitivity analysis efficiently optimizes the worst-case circuit delay within a given decap budget. Compared to the maximum decap placement, the delay improvement due to decap increases by 5% even while the total amount of decap is reduced to 40%.

I. INTRODUCTION

Power supply noise has become one of primary concerns in modern high performance circuit design due to increased current consumption and lowered supply voltage. Power supply noise mainly consists of IR drop and Ldi/dt noise. Widening power wire is a common technique to reduce IR drop with a sacrifice of routability and wire resource. However, it cannot reduce Ldi/dt noise originating from package and bonding wires. In recent designs, decoupling capacitance (decap) has been placed in power supply network to suppress IR drop and Ldi/dt noise. Decap is often implemented with MOS gate capacitance, and a large decap consumes large silicon area. Moreover, gate leakage current has increased along

sensitivities of an objective function that mainly consists of timing variation using adjoint sensitivity analysis, and find positions suitable for decap placement. However, a problem is that, at each position, the worst voltage drop within a specified clock cycle is computed and used for gate delay calculation without considering switching timing window. Decap nicely reduces the peak voltage at an the timing within a clock cycle, which will be illustrated in Section II. Reference [3] assumes that reduction of peak voltage drop necessarily improve timing, but it is not true. Moreover, a noise waveform changes cycle by cycle, and the noise reduction effect of decap also varies. Spatial noise variation and within-cycle and inter-cycle temporal noise variation caused by decap insertion/removal must be considered in timing-oriented decap allocation.

大体その前が過去の論文の問題点

In this paper, we propose a decap allocation method for timing that explicitly considers spatial and temporal variation of noise due to decap modification. To consider noise dependence on input patterns, we model dynamic power supply noise and its variation due to decap modification statistically, and compute statistical sensitivity. For efficient sensitivity computation, we devise a performance function, which can be efficiently computed with an approximation, for adjoint sensitivity analysis [7]. Guided with the computed sensitivity, we identify decap positions that improve timing

T. Enami, M. Hashimoto, and T. Sato, "Decoupling Capacitance Allocation for Timing with Statistical Noise Model and Timing Analysis," ICCAD, 2008.

序盤で論文への興味を引く

- プログラム委員は大量の論文を短期間に読む
 - 論文の序盤で興味を引いて、好意的に論文を最後まで読んでもらえるように工夫する
- 過去の手法の問題点(もちろん書く論文で解決できた問題点)を明確に具体例とともに示すのが効果的
 - 効果的な具体例を見つけることは非常に重要
 - 数値例があるとなお良い(最後の実験結果の先取りも場合によりOK)
- 利点
 - 論文の議論の最重要ポイントがプログラム委員に入力される
 - 面白い問題だと思ってもらえば、好意的に読む可能性が高い
 - 逆に批判的に読み始められると、覆すのは困難

例1

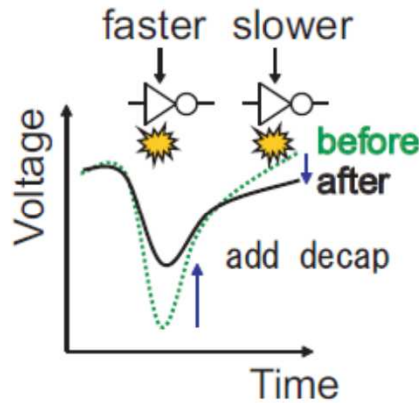


Fig. 1. Decap effect on timing.

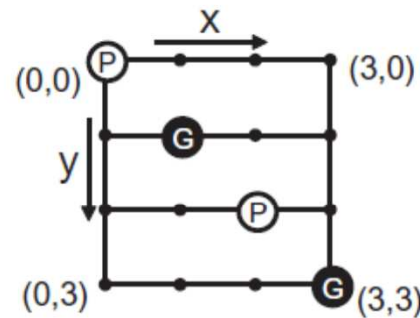


Fig. 2. Power/ground network for evaluating position dependence of decap on timing.

TABLE I
POSITION DEPENDENCE OF DECAP ON TIMING IMPROVEMENT.

initial worst-case delay: 2882ps			
pos. (x,y)	imp. (ps)	pos. (x,y)	imp. (ps)
(0,0)	0.241	(2,0)	-1.84
(0,1)	1.11	(2,1)	-2.08
(0,2)	4.34	(2,2)	0.192
(0,3)	7.27	(2,3)	4.70
(1,0)	-0.579	(3,0)	-1.79
(1,1)	-0.142	(3,1)	-1.24
(1,2)	0.809	(3,2)	0.224
(1,3)	9.26	(3,3)	1.12

- 読者が興味を持つ具体例を第二章で紹介
 - デカップリング容量挿入が必ずしもタイミング改善につながらないこと
 - 挿入位置によって、タイミングが改善したり、しなかったりすること

T. Enami, M. Hashimoto, and T. Sato, "Decoupling Capacitance Allocation for Timing with Statistical Noise Model and Timing Analysis," ICCAD, 2008.

例2

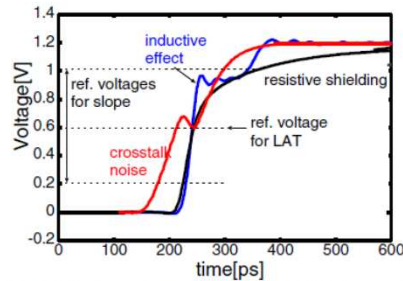


Figure 1: Diverse waveforms that have the same latest arrival time and the same slope.

2.1. Motivation

Recently there are many factors that make transition waveforms more diverse. One major factor is capacitive coupling noise, and others are on-chip inductance and resistive shielding effect. As these factors become significant, it is getting harder to capture the impact of waveform shape on gate delay using only a single parameter of slope. Even if two waveforms have the same value of slope, the waveform shapes are sometimes totally different, which results in a considerable gate delay difference. Figure 1

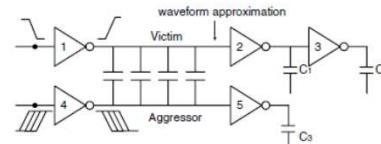


Figure 2: Experimental circuit for crosstalk-induced input waveform.

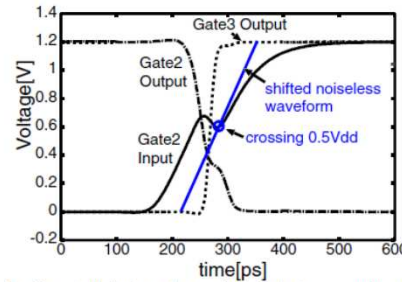


Figure 3: Crosstalk-induced waveforms that conventional method fails to handle (Gate 1, Gate 2 and Gate 3 are 4x, C1 and C2 are 1fF).

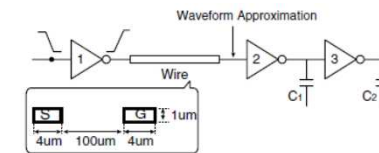


Figure 4: Experimental circuit on inductive interconnect.

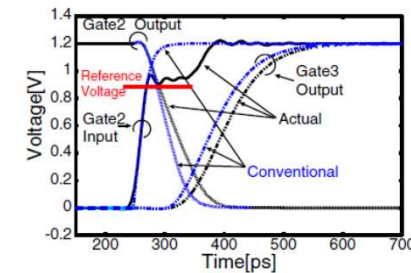


Figure 5: An example of inductive interconnect (Gate 1 is 5x, Gate 2 and Gate 3 are 4x, wire length is 3mm, and C1 and C2 are 200fF).

- 読者が興味を持つ具体例を第二章で紹介
 - 波形の歪みをレシーバの入力で見ることがいかに問題か、具体例で紹介
 - 後ほど、同条件の実験で問題が解消されていることを示している

議論の展開

- Contributionの説明へダイレクトにつながる議論の展開とそれに対応する論文構成
 - 一般的でない議論の展開は避ける
 - 詳細に読まないといけない複雑な議論展開は、正しく評価されない可能性が高い
 - 先の展開が読めるような、議論の構成が好ましい
 - 例: 水戸黄門
- 詳細な手法の説明の**前**に概要/コンセプトの説明を行う
 - 細かい技術のつながりや、アルゴリズムの流れが分からないと、議論について行きにくい

論文執筆の手順例

- Contributionを決める
- 書きたい実験結果や図を決める
- Sectionのタイトルを決め、各sectionで書くべき内容を説明順に箇条書きする
- 議論の流れをチェック
 - 序盤に主張点は伝わるか
 - 大局から詳細な説明に移っていく流れになっているか
 - 読みやすい/誤解を生みにくい構成になっているか
- 中身を英語で書き出す
 - 日本語を先に書くと日本語の語順や文順に陥って、自然な英語になりにくい

伝えたいことはすべて書く

- プログラム委員は大量の論文を短期間に読む
 - 書いていない内容まで読まない/考えない
- 伝えたいことはすべて書くことが非常に重要
 - グラフや表からなにを読み取るのか
 - 本文に説明がない論文が意外と多い
 - 結果は何を意味しているのか
 - 式は何を意味しているのか
- 誤解されない記述にする
 - 誤解の恐れが少しでも有れば、誤解されないように文の追加や修正を行う (e.g. Note that...)
 - 一人の誤解が不採録につながることも

参考文献 (1/3)

- 論文の信頼性を左右し、非常に重要
 - きちんと関連分野が調べられ、序論で引用されている論文は、内容の信頼性が高いと評価されやすい
 - 逆に重要な関連論文が欠けていると、その時点で大きなマイナスポイント。場合によってはそれが理由で不採録
- (個人的見解) できれば、その分野の著名人の名前がすべて入った参考文献リストにするのが好ましい
 - 自分の論文が引用されているとプログラム委員の気分が良い

参考文献 (2/3)

- Blind review 時の自分の関連論文の引用
 - 番号も付けず、全く書かない
 - 問題外。存在が分かった時点で不採録になるリスク。
 - 番号は付けたが、文献情報を何も書かない
 - ときどき見かけるが、内容の違いが確認できないためマイナス (個人的見解)
 - 著者名のみ消して、その他の文献情報は書く
 - 橋本はこの方法を採用しており、特に問題になったことはない
 - 例 [5] blinded, “Statistical Timing Analysis Considering Spatially and Temporally Correlated Dynamic Power Supply Noise,” in *Proc. ISPD*, pp. 160–167, 2008.

参考文献 (3/3)

- 日本語の論文は引用しない
 - 手に入らない&読めないなので印象悪い
- できるだけ入手性の高い論文を引用
 - IEICE, IPSJの論文は外国人にとって入手性が悪い
 - 国際会議の論文を引用した方が好ましい場合も多い
 - メジャーな国際会議であればそちらを引用した方が無難

見た目の美しさも重要

- 論文の体裁が整っていることも重要
 - 体裁が整っていない論文は内容も不十分なことが多い
- 体裁が悪いと、批判的な立場で論文を読み始められてしまう可能性
 - 例えば、不採録理由を探すような形で
 - 査読前から不利な条件で逆転は困難
- 個人的には、Word, Excelでの論文作成はおすすめしない
 - Windows でもTeXの導入は簡単
 - 例: <http://next1.cc.it-hiroshima.ac.jp/MATHEQN/matheqn/node4.html>

式の導出や展開

- 式変形を行っていく場合、常に下の点を意識して記述する。誤解の恐れがある場合には説明を追加する。
 - Exactな変形か
 - 近似が入った変形か
 - 近似がある場合、どのような仮定が入っているのか
- 起点になった一般的な式は必ず参考文献を引用する
 - ひとりよがりではなく、一般性がある議論であることを明確にする

提案手法の書き方 (1/2)

- 提案手法が読者にも実装できるだけの説明を書くのが基本
 - 概論のみだと信頼性が損なわれる
 - 将来的に提案手法が他の論文に引用され、比較対象になる可能性
- 提案手法の入力と出力を明記
 - アルゴリズムの論文であれば、problem formulation をきっちりと書く

提案手法の書き方 (2/2)

- 経験的な手法については直感的な説明が必要
 - なぜその方法がうまくいくのか、理由がないと受け入れがたい
 - 過去の手法の問題点と合わせて、具体的な手法の振る舞いを説明し、どの部分が良い結果につながっていることを示すのも効果的
- 手法の問題点について分かっているものは書いた方が良い
 - 適用範囲が明記されていると議論の信頼性が増す
 - 分かりやすい問題点を書いていないと、論文の信頼性が大きく損なわれる
 - 強調して書く必要は全くないので、さらっと読み流せるあっさりとした記述が好ましい

実験条件

- 同様の実験ができるだけの情報を提示
- 現実的な条件であることを説明
- 企業の場合には、実験材料が実品種であることなどを最大限にアピールすべき
 - 大学の論文との大きな差別化要因
 - IBM, Intelなどはこのあたりもうまく利用
- 実験材料は複数用意する

実験

- 競合技術が有る場合には、なんらかの結果の比較が不可欠
 - ほとんどの場合に提案手法の一つの結果だけでは優劣が判断できない
 - 特に、古典的な問題の場合、有力な手法との比較がないと採択されない
- 定量的に議論する
 - 技術論文なので、大きい小さいだけでは信頼性に乏しい

論文記述上の注意点

- 同じ表現を繰り返さない。
 - Abstract, introduction, conclusion等
 - すぐ手抜きがばれる
- どうしても伝えたいメッセージは本文中に何度か書く
 - 読んでいる間に忘れられても思い出させる
 - 例: introduction, proposed method, experimental results など

図、グラフの作成

- 図はきれいに作成する
 - 画面のスクリーンショットは基本使わない
 - 波形ビューアやスキマティックエディタの画面は見にくい
 - 読みやすいフォントサイズ
 - 分かりやすい軸やラベル
- グラフ作成
 - 違いを読み取りたいのか
 - 違いが拡大される値の範囲を設定
 - あまり違いがないことを読み取りたいのか
 - 値の範囲を広くとる(e.g. 始点を0にする)

英語 (1/2)

- 英語の質が低いと、
 - 論文全体の信頼度が下がる
 - 好意的な印象が薄れる
- 他の良い論文の英語を参考に
- 段落の最初
 - 内容の薄い文で始まらないように
 - 段落を代表する文であればベスト

英語 (2/2)

- 技術が分かる英語が得意な人が周囲にいれば、一部分だけでも書き直してもらおうと効果的
 - それ以外の部分を書く指針になる
- 業者の英文添削に過度の期待は禁物
 - 表面的に良くなっても議論の中身や順序は変わらない
 - 意図やニュアンスが変わっている場合も多々あるので、添削後のチェックも必ず必要
- 辞書は必ずまめに引く
 - 和英辞典を引いた後は英和も引き直す
 - 文例の多い辞書や複数の辞書を一度に調べられるものは便利
 - 同じ動詞/表現ばかり使うと、幼稚な英語に感じられる

細かなポイント (1/2)

- スペルチェックはしましたか？
- 参考文献は標準スタイルでフォーマットされていますか？
- 本文中で引用や説明のない図や表はありませんか？
- アポストロフィは使っていませんか？
 - E.g. don't can't
- 図のキャプションなど、大文字にするルールは論文全体を通じて統一されていますか？
- 図は白黒印刷でも読み取れますか？

細かなポイント (2/2)

- 式に出てくるすべての変数は最初に出てきたときに説明されていますか？
- 図や表のキャプションは間違っていないですか？
- 図や表、参考文献の引用番号は間違っていないですか？
 - TeXでは大丈夫ですが。
- 他の人に読んでもらいましたか？
- Blind reviewなので投稿時は謝辞を抜いていますか？

最後に

- いきなり採択される確率が2倍になる魔法は存在しない
 - 地道に、意図が正確に伝わり、誤解されず、興味を引き、信頼性が高いと思わせる論文に仕上げる必要
- すべての論文で説明した内容を満たすことは困難ですが、少しでも論文の質向上にお役に立てれば幸いです。