

★VLSI 設計技術研究会 (VLD)

専門委員長 竹中 崇 副委員長 越智裕之
幹事 福田大輔・永山 忍 幹事補佐 Parizy Matthieu

日時 5月10日(水) 13:30~16:50

会場 北九州国際会議場(北九州市小倉北区浅野3-8-1. JR小倉駅から徒歩5分, 福岡空港から30分. <http://www.convention-a.jp/access/> 高島康裕)

議題 システム設計及び一般

LSI 設計一般

VLD-1. Template-based C description generated method for RTL ECO

○Qinhao Wang・Yusuke Kimura・Amir Masoud Gharehbaghi・Masahiro Fujita (Univ. of Tokyo)

2. トレースバッファを使用した電氣的バグの発生箇所絞り込み手法

○岩田健太郎・ガラバギ アミル マスード・藤田昌宏(東大)

3. 実行時間が変動するタスクに対するヘテロジーニアスコアでの TAS 最適化手法

○土橋亮太・野村孔命・高島康裕(北九州市大)・中村祐一(NEC)

物理・レイアウト設計

VLD-4. クラスタリングを用いたレイアウトパターン分類の一手法

○石野修平・長谷川 充・藤吉邦洋(東京農工大)

5. 隣接するブロック間だけに配線をもつ FPGA に対する配置配線手法 丸岡大浩(東大)

VLD-6. [招待講演] IEEE CEDA 日本チャプター発足とその役割 高橋篤司(東工大)

◆情報処理学会; システムと LSI の設計技術研究会連催. IEEE CEDA All Japan Joint Chapter 協賛

◎研究会終了後, 懇親会を予定していますので御参加下さい.

☆VLD 研究会今後の予定 [] 内発表申込締切日

5月15日(月), 16日(火) 東大生研[未定] テーマ: LSI とシステムのワークショップ 2017

6月19日(月), 20日(火) 新潟大五十嵐キャンパス[締切済] テーマ: システムと信号処理及び一般

【問合先】

福田大輔(富士通研)

E-mail: d-fukuda@jp.fujitsu.com

◎VLD 研究会ホームページも御覧下さい.

<http://www.ieice.org/~vld/>