

★VLSI 設計技術研究会 (VLD)

専門委員長 竹中 崇 副委員長 越智裕之

幹事 福田大輔・永山 忍 幹事補佐 Parizy Matthieu

日時 3月1日(水) 14:00~16:45

2日(木) 9:00~16:40

3日(金) 9:00~14:15

会場 沖縄県青年会館(那覇市久米2-15-23. モノレール旭橋駅下車(230円) 徒歩5分. <http://www.okiseikan.or.jp/user.php?CMD=1154016000000> 鳥袋勝彦(琉球大))

議題 システムオンシリコンを支える設計技術

1日 低消費電力

1. 不揮発性キャッシュの細粒度パワーゲーティングと MTJ 記憶領域の動的選択制御
○榎戸将太・宇佐美公良(芝浦工大)
2. ストア/リストア分離型不揮発性フリップフロップにおけるパワーゲーティング技術の有効性評価
○工藤 優・宇佐美公良(芝浦工大)
3. 歩留まり改善を考慮した電力削減のための製造後遅延調整手法 ○増子 駿・小平行秀(会津大)

回路設計

4. High accuracy 8 * 8 approximate multiplier based on OR operation
○Yi Guo・Heming Sun・Canran Jin・Shinji Kimura(Waseda Univ.)
5. ニューラルネットワークにもとづく概算回路設計手法 ○川村一志・柳澤政生・戸川 望(早大)
6. 同期式 RTL モデルから非同期式 RTL モデルへの変換ツールの実装 ○仙波翔吾・齋藤 寛(会津大)

2日午前 セキュリティ・信頼性

1. ネットワーク侵入検知のためのスクリーニング回路に対する最適スクリーニングパターン生成について
○橋本智明・永山 忍・稲木雅人・若林真一(広島市大)
2. FiCC: 高集積向け耐クロストークノイズメタルフリンジキャパシタ
○宮川尚之・木村知也・越智裕之(立命館大)
3. ウエハスケールマスク ROM の階層的データ読み出し回路の高信頼化 ○横山高明・越智裕之(立命館大)

物理レイアウト

4. TPL のための半正定値計画緩和に基づくレイアウト分割手法のポリゴン集合クラスタリングによる高速化
○半田昌平・佐藤真平・高橋篤司(東工大)
5. LSI マスクパターンに対する近似文字列照合に基づくホットスポット検出手法の高速化
○玉川宗磨・稲木雅人・永山 忍・若林真一(広島市大)
6. LELE ダブルパターンニングにおける FM アルゴリズムを用いた効率的なパターン局所修正手法
○尾頭 篤・佐藤真平・高橋篤司(東工大)
7. 単層プリント基板における目標等長配線を実現するための部分配線修正手法
○杉原 舜・佐藤真平・高橋篤司(東工大)

2日午後 招待講演 DAC 2016 (13:30~)

8. [招待講演] CPU-FPGA 密結合アーキテクチャを用いた IoT アプリケーションの高速化手法
○小林悠記・渡邊義和・柴田誠也・竹中 崇・細見岳生・中村祐一(NEC)
9. [招待講演] IP タイミング制約の組み上げチャレンジ—SoC タイミング制約の自動生成について—
○中江達哉・椎原一郎(ソシオネクスト)
10. [招待講演] Line sampling を用いたモンテカルロ法に基づくタイミング歩留り解析の高速化
○粟野皓光(東大)・佐藤高史(京大)

タイミング

11. マルチ・ドメイン・スキュー割り当てを考慮した資源割り当てとドメイン分割
○李 暁光・金子峰雄(北陸先端大)
12. 回路動作温度範囲に対する最適スキュー温度特性 ○曾我 慎・金子峰雄(北陸先端大)
13. スキュー調整を考慮した高位合成の MILP 定式化 ○志村甲斐・金子峰雄(北陸先端大)
14. 最大値分布を求めるための共分散計算の一手法
○東 大貴・築山修治(中大)・福井正博(立命館大)・神戸尚志(近畿大)

3日午前 電池・電力

1. 演算の移動度に基づいた束データ方式による非同期式回路の電力最適化手法の評価
○保坂隼也・齋藤 寛(会津大)
2. IoT 機器向け一次電池高精度残量推定システムの開発 ○塩浦裕文・吉田直樹・林 磊・福井正博(立命館大)

3. モデルベース設計を用いた電気自動車用蓄電池最適運用システムの開発

○阿部智貴・上野 僚・林 磊・福井正博（立命館大）

回路設計・実装

4. 小型液晶ディスプレイ駆動回路用 nMOS ダイナミックシフトレジスタとその評価

○康 榮太・築山修治（中大）・比嘉晋士（TDK）

5. 高速光通信向け FEC の LSI 実装化検討

○平野 進・久保和夫・吉田英夫・石井健二・杉原隆嗣・宮野鼻晃士・苗崎浩秀・峯岸孝行（三菱電機）

6. シミュレーテッド・アニーリングを利用した並列プレフィックス加算器の構成

○本 敬之・金子峰雄（北陸先端大）

3日午後 信頼性

7. エラートラントアプリケーションのための論理回路の許容関数を用いた簡単化手法について

○岩崎真弥・市原英行・岩垣 剛・井上智生（広島市大）

8. コンポーネント間近接制御に基づいた混合誤り訂正機構と回路面積評価

○呉 政訓・金子峰雄（北陸先端大）

9. ストカスティック反復による積和演算アーキテクチャ

○杉野達美・市原英行・岩垣 剛・井上智生（広島市大）

◆IEEE CEDA All Japan Joint Chapter 協賛

◎2日の研究会終了後、懇親会を予定していますので御参加下さい。詳細は後日、御案内します。

☆VLD 研究会今後の予定 [] 内発表申込締切日

5月15日（月）、16日（火） 東大生研〔未定〕 テーマ：LSI とシステムのワークショップ 2017

【発表申込先】 下記研究会発表申込システムからお申込み下さい。

<http://www.ieice.org/jpn/ken/kenmoushikomi.html>

【問合先】

福田大輔（富士通研）

E-mail : d-fukuda@jp.fujitsu.com

◎VLD 研究会ホームページも御覧下さい。

<http://www.ieice.org/~vld/>