

★VLSI 設計技術研究会 (VLD)

専門委員長 松永裕介 副委員長 竹中 崇
幹事 富山宏之・福田大輔 幹事補佐 谷口一徹

日時 5月11日(水) 9:40~17:00

会場 北九州国際会議場(北九州市小倉北区浅野3-9-30. JR小倉駅より徒歩5分. <http://convention-a.jp/access/>
TEL〔093〕541-5931(会場) 高島康裕(北九州市大)

議題 システム設計及び一般

最適化

VLD-1. 劣勾配法のタイミング解析への応用 ○宮下 弘・川原口高太郎(北九州市大)

VLD-2. 側壁ダブルパターンングのための2色グリッドに準じた配線手法

○三浦発彦・長谷川 充・比留川 拓・藤吉邦洋(東京農工大)

3. モンテカルロ木探索のTSP問題への適用 下村聖人・○高島康裕(北九州市大)

4. 束データ方式による非同期式回路の遅延調整に関する考察 ○吉見宗真・齋藤 寛(会津大)

5. 光パスゲート論理に基づく並列加算回路の提案と光電混載回路シミュレータによる動作検証

○石原 亨(京大)・新家昭彦(NTT)・井上弘士(九大)・野崎謙悟・納富雅也(NTT)

午後 検証・信頼性

6. 特定の状態遷移経路に注目した論理装置のシステム検証 ○藤田智久・高橋隆一(広島市大)

7. System Verilogを用いた専用プロセッサのマトロイドによる検証 ○平川昌和・高橋隆一(広島市大)

VLD-8. FPGA向けMBU訂正回路の提案

○中村祐士・寺岡拓也・尼崎太樹・飯田全広・久我守弘・末吉敏則(熊本大)

高位設計

VLD-9. ノードグルーピングに基づく演算チェイニングを用いたフロアプラン指向高位合成手法

○寺田晃太郎・柳澤政生・戸川 望(早大)

VLD-10. A Note on Scheduling Problem Considering the Radiation Resistance of Registers

○Keisuke Inoue(KTC)・Mineo Kaneko(JAIST)

VLD-11. MERP-CNN: An memory-efficient reconfigurable processor for convolutional neural networks based on FPGA ○Xushen Han・Dajiang Zhou・Shinji Kimura(Waseda Univ.)

合同招待講演

VLD-12. [招待講演] 将来に向けてのDA技術のチャレンジ 村岡道明(高知大)

◆情報処理学会; システムとLSIの設計技術研究会連催

☆VLD研究会今後の予定 []内発表申込締切日

5月16日(月), 17日(火) 東大生研〔未定〕テーマ: LSIとシステムのワークショップ2016

6月16日(木), 17日(金) 弘前市立観光館〔締切済〕テーマ: システムと信号処理及び一般

【問合先】

富山宏之(立命館大)

TEL〔077〕561-4928

E-mail: ht@fc.ritsumei.ac.jp

◎VLD研究会ホームページも御覧下さい.

<http://www.ieice.org/~vld/>