

★VLSI 設計技術研究会 (VLD)

専門委員長 澁谷利行 副委員長 松永裕介

幹事 峯岸孝行・富山宏之 幹事補佐 宮澤武廣・山本 亮

日時 3月2日(月) 13:00~16:35

3日(火) 8:50~16:40

4日(水) 8:50~14:40

会場 沖縄県青年会館(那覇市久米2-15-23, 空港よりバスで那覇バスターミナル下車(220円)徒歩10分, モノレール旭橋駅下車(230円)徒歩5分, タクシー約10分(約1,000円), <http://www.okiseikan.or.jp/> 金城光永(琉球大))

議題 システムオンシリコンを支える設計技術

2日 レイアウト設計(1)

1. A Fast Lithographic Mask Correction Algorithm ○Ahmd Awad・Atsushi Takahashi (Tokyo Inst. of Tech.)
2. 側壁プロセス配線におけるカットパターン削減手法 ○高橋紀之・井原岳志・高橋篤司(東工大)
3. 位相的な配線可能性を考慮した高速なナンバーリンク解法 ○田中雄一郎・高橋篤司(東工大)
4. 集合対間配線における配線付け替えのためのゼロ閉路探索手法 ○中谷勇太・高橋篤司(東工大)

レイアウト設計(2)

5. 混合整数計画法に基づくグリッド配線手法とアナログレイアウトへの応用
○伊藤正人・董 青・中武繁寿(北九州市大)
6. 焼きなまし法によるダイナミック CMOS 回路の1次元レイアウト面積最小化手法
○増子 駿・小平行秀(会津大)
7. 3次元 LSI フロアプラン探索のための重矩形分割の表現方法に関する研究 ○小貝和史・藤吉邦洋(東京農工大)
8. 動作マージンの拡大とリーク電流の低減を両立した1電源6-Tr CMOS SRAM の開発
○小林伸彰(長岡技科大)・伊藤隆祐・本島浩二・榎本忠儀(中大)

3日午前 信頼性問題

1. 命令セットアーキテクチャによる劣化抑止ゲート制御を用いたプロセッサ NBTI 劣化緩和手法
○辺 松・新谷道広(京大)・Zheng Wang (RWTH Aachen Univ.)・廣本正之(京大)・Anupam Chattopadhyay (Nanyang Tech. Univ.)・佐藤高史(京大)
2. 低電力耐ソフトエラーラッチの設計 ○田島咲季・史 又華・戸川 望・柳澤政生(早大)
3. プロセスばらつきと BTI の相関を考慮したタイミングマージン削減手法の検討
○藪内美智太郎・小林和淑(京都市工繊大)

高位 LSI 設計検証

4. 整数線形計画法による高面積効率耐ソフトエラーデータパス回路合成 ○呉 政訓・金子峰雄(北陸先端大)
5. 高位合成ツールからの非同同期回路生成に関する研究 ○小峰太一・齋藤 寛(会津大)
6. 高位合成による FIR フィルタ設計 山本 亮(三菱電機)
7. 上流と下流からの挟み撃ち検証による大規模 FPGA の開発期間短縮事例
石野禎将(三菱電機マイコン機器ソフトウェア)

3日午後 招待講演(13:20~)

8. [招待講演] VLSI 設計における企業の研究と大学の研究 後藤 敏(早大)

ESA

9. [記念講演] Area Efficient Device-Parameter Estimation using Sensitivity-Configurable Ring Oscillator
○Shoichi Iizuka・Yuma Higuchi・Masanori Hashimoto・Takao Onoye (Osaka Univ.)
10. [記念講演] A Performance Enhanced Dual-switch Network-on-Chip Architecture
○Lian Zeng・Takahiro Watanabe (Waseda Univ.)
11. [記念講演] A Length Matching Routing Method for Disordered Pins in PCB Design
○Ran Zhang・Tieyuan Pan・Li Zhu・Takahiro Watanabe (Waseda Univ.)
12. [記念講演] Microarchitectural-Level Statistical Timing Models for Near-Threshold Circuit Design
Jun Shiomi (Kyoto Univ.)
13. [記念講演] A Bit-Write Reduction Method based on Error-Correcting Codes for Non-Volatile Memories
○Masashi Tawada・Shinji Kimura・Masao Yanagisawa・Nozomu Togawa (Waseda Univ.)

4日午前 トランジスタレベル設計

1. RTN 起因のリングオシレータ発振周波数変動を利用した PUF
○吉永 幹・栗野皓光・廣本正之・佐藤高史(京大)
2. トランジスタ・アレイ方式に基づく PLL 設計及び評価に関する考察

○三浦祐樹・南里昌志・董 青・中武繁寿（北九州市大）

3. パワースイッチ立上り時間制御におけるパワースイッチ駆動回路を用いたグラウンドバウンス低減効果の評価

○大西哲太郎・宇佐美公良（芝浦工大）

タイミング設計

4. ゲートレベルパイプライン型自己同期回路における順序回路の最適化 ○伊東 敦・池田 誠（東大）

5. 高速光通信向け FEC の集積化検討

○宮野鼻晃士・平野 進・吉田英夫・宮田好邦・杉原堅也・久保和夫・小西良明・斧原聖史・峯岸孝行・杉原隆嗣
（三菱電機）

6. 薄膜 BOX-SOI における論理合成対象電圧の選択によるエネルギー最小化 ○川崎 純・宇佐美公良（芝浦工大）

7. 実行時間がばらつくタスクに対するリストスケジューリング手法 ○野村孔命・高島康裕（北九州市大）

4 日午後 高性能化手法

8. エラー検出回復方式を導入した乗算器の性能検証 ○大月郷史・高橋篤司（東工大）

9. ゲートレベルネットリストを対象としたスコアに基づくハードウェアトロイ識別手法

○大屋 優・史 又華・柳澤政生・戸川 望（早大）

10. ルックアップテーブルを用いた approximate computing 向けアーキテクチャの実装と評価

○杉山翔一郎・タンビア アーメド・原 祐子（東工大）

11. 数値流体力学における Lax-Friedrichs スキームを実現する並列アルゴリズムとその FPGA 実装

○芳賀裕介・永山 忍・若林真一・稲木雅人（広島市大）

【問合先】

峯岸孝行（三菱電機）

TEL [0467] 41-2944

E-mail : minegishi.noriyuki@aj.mitsubishielectric.co.jp

◎VLD 研究会ホームページも御覧下さい。

<http://www.ieice.org/~vld/>