ISS-P-135

並列処理可能な計算機向けの アプリケーション実装手法に関する研究

小林　直人†　　渡邊　誠也†　　名古屋　彰†
† 岡山大学大学院自然科学研究科

1. はじめに

並列処理デバイスとして，マルチコア CPU (Central Processing Unit)や GPU (Graphics Processing Unit)が存在し，さらに近年メニーコアコプロセッサとして Intel 社から Xeon Phi が提供された．しかし，これらのデバイスについて実装手法やアプリケーションの種類と性能の関係は明確ではない．本研究では，いくつかのアプリケーションを上記のデバイス向けに実装し，性能との関係を評価した．

2. 利用可能な並列プログラミング環境

並列プログラミング環境として， CPU と Xeon Phi では OpenMP[1]や SIMD 型拡張命令，MPI 等が使用可能であり，GPU では CUDA[2]や OpenCL，OpenACC 等が使用可能である．

3. 実装対象のアプリケーションの概要と実装方針

本研究では，(1) 姫野ベンチマーク，(2) LU 分解，(3) ガウシアンフィルタ，(4) バイトニックソートの 4 種類を実装対象として選択した．姫野ベンチマークはステンシル計算，LU 分解は行列計算，ガウシアンフィルタは画像処理，バイトニックソートはデータのソート処理である．

前述の各アプリケーションに対して，マルチコア CPU と Xeon Phi は OpenMP を用いた実装と，OpenMP と SIMD 型拡張命令を組み合わせた実装を行い，SIMD 化によって性能がどのように変化するかを確認する．また，使用するスレッド数を変化させ，スレッド数と性能の関係を確認する．GPU は CUDA を用いた実装を行う．

4. 実行環境と実装結果

4.1 実行環境

本研究の使用コンパイラと実行環境を表 1 に示す．また，いずれの実装においても，コンパイラの最適化オプションとして-O3 を指定した．

表 1. 使用コンパイラと実行環境

OS C コンパイラ CUDA コンパイラ	Linux Kernel 2.6.32 (64bit) Intel Composer XE 14.0.2 CUDA SDK 6.0
CPU 　コア数 　動作周波数 　キャッシュ	Intel Xeon E5-2665 8（論理コア数 16） 2.4 GHz 20 MB
メニーコアコプロセッサ 　コア数 　動作周波数 　キャッシュ	Intel Xeon Phi 5110P 60 (ハードウェアスレッド数 240) 1.053 GHz 30 MB (各コアに 512KB)
GPU 　コア数 　動作周波数 　キャッシュ	NVIDIA Tesla K20 2496 0.71 GHz 1.25 MB

4.2 実装結果

実装の結果，CPU への実装は処理するデータがキャッシュへ収まるかどうかで性能が大きく変わり，収まる場合にはマルチスレッド化や拡張命令によって性能が大きく向上したが，キャッシュに収まらない場合にはマルチスレッド化や拡張命令による性能向上率は低くなった．GPU への実装は，処理するデータサイズが小さい場合には低い性能となったが，データサイズが大きくなるにつれて性能が向上し，3 種のデバイスの中で最も高い性能となることもあった．Xeon Phi への実装は，CPU とは異なりキャッシュに収まらない場合でもマルチスレッド化によって性能が大きく向上したが，拡張命令はアプリケーションによって性能が向上するか低下するかが大きく分かれ，また性能が向上した場合でも 3 種のデバイスの中で最も低い性能となることもあった．結果の一例として，姫野ベンチマークの各実装で得られた性能を図 1 に示す．

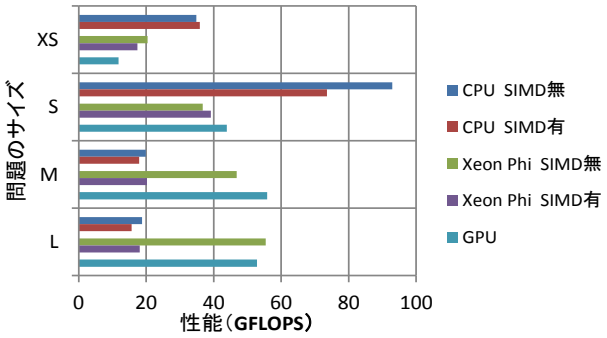

図 1. 姫野ベンチマークの各実装で得られた性能

5. 今後の課題

他のアプリケーションを用いた評価や，より高い性能を得るための実装手法の研究などが，今後の課題である．

参考文献

[1] OpenMP, OpenMP ARB, http://openmp.org/wp/.
[2] CUDA, NVIDIA, https://developer.nvidia.com/cuda-zone/.