

次世代不揮発性メモリを用いた省電力キャッシュに関する研究

岡本 駿[†] 佐藤 寿倫^{††}

† 福岡大学大学院工学研究科 †† 福岡大学工学部

1. はじめに

近年、LSI の消費電力の増大が重要な問題となっている。その原因はリーク電流である。次世代不揮発性メモリの登場により、キャッシュメモリのリーク電流を削減できるのではないかと期待されている。本稿では 3 階層のキャッシュで、L2とL3キャッシュに ap-STT-MRAM[1]を用いることを提案する。シミュレーションにより効果を確認した。

2. ap-STT-MRAM

ap-STT-MRAM は電子のスピンによって生じる磁界を利用してデータを読み書きする不揮発性の垂直磁気抵抗変化型メモリである。SRAM に比べて書込み時間、読み込みエネルギー、そしてリーク電流が小さいという特徴を持つ[1]。

3. 実験方法

実験は表 1 の 3 つのキャッシュメモリ構成を評価する。gem5[2]で実行時間を、McPAT[3]で電力を評価する。ベンチマークには SPEC CPU2006 を用いる。

表 1 キャッシュメモリの構成

	L1	L2	L3
構成 1	SRAM	SRAM	SRAM
構成 2	SRAM	SRAM	ap-STT-MRAM
構成 3	SRAM	ap-STT-MRAM	ap-STT-MRAM

加えて、表 2 の 2 つの場合について考慮する。

表 2 使用するトランジスタ

場合 1	全ての SRAM で高性能なトランジスタを使用する
場合 2	L1 キャッシュ以外で低リークなトランジスタを使用する

表 3 にシミュレーションに用いたプロセッサとキャッシュのパラメータを示す。

表 3 プロセッサとキャッシュメモリのパラメータ

プロセッサ	4core, 2GHz, アウトオブオーダー
L1I,L1D	32KB, 2-way set associative, 64B ブロック
L2	256KB, 8-way set associative, 64B ブロック
L3	32MB, 16-way set associative, 64B ブロック

4. 結果

図 1~3 に結果を示す。構成3を構成1と比較すると、場合1で 80%、場合2で1%の消費電力を削減できた。実行時間は3%短縮できた。EDPは場合1で81%、場合2で7%改善できた。

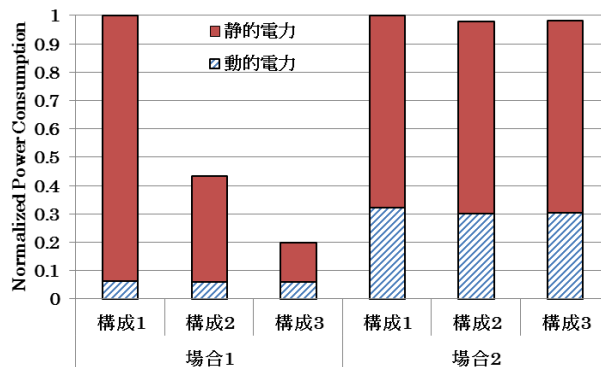


図 1 消費電力

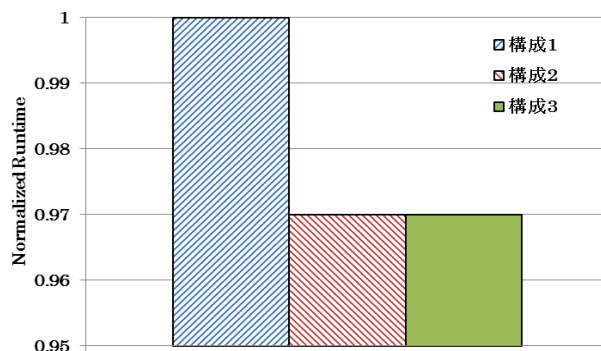


図 2 実行時間

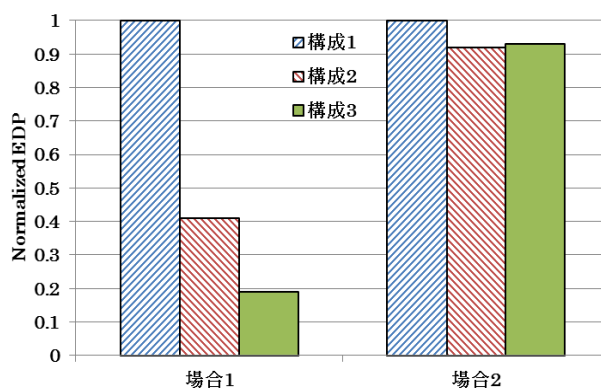


図 3 EDP

5. まとめ

L2とL3キャッシュメモリに ap-STT-MRAM を用いることで消費電力削減と性能向上を達成できる。しかし、低リーク SRAM を不揮発性メモリに置き換えるだけでは大幅な消費電力削減は見込めない。そのため、積極的にキャッシュの電源を遮断する等の手法が必要である。

参考文献

- [1] H. Noguchi et al., Symp. on VLSI Circuits, 2014.
- [2] N. Binkert et al., ACM SIGARCH CAN, 2011.
- [3] S. Li et al., MICRO-42, 2009.