



「第3の波：ワイヤレス電力伝送」



大平 孝（豊橋技術科学大学・未来ビークルシティ研究センタ）

民生ワイヤレス分野の巨大マーケットはラジオテレビ放送と移動通信であり、これらは既に普及率が飽和しつつあります。これに続く第3の波「ワイヤレス電力伝送」が浮上してきました。そのキラーアプリのひとつは路面インフラからエネルギーを送り続けて電気自動車を走行させる移動体電力伝送システムです。

電磁理論においてマクスウェル方程式、波動伝搬においてフリスの公式、情報伝達においてシャノンの定理があるように、電力伝送にも性能を支配する基本法則があります。近距離ワイヤレス電力伝送系の代表選手である電界結合方式と磁界結合方式のしくみを図1に示します。ちなみに、ここ数年とみに共鳴方式という用語が好んで使われているようですが、共鳴は電力伝送の本質ではありません。電力伝送で最も重要な性能は電力効率です。電力効率を高めるための本質的な設計指標として「kQ積」があります。ここで、kは送電器と受電器の結合係数、Qはこれらに用いられている素子のQファクタです。たとえば単純な例として磁界結合方式の場合

$$k = \frac{M}{L}, \quad Q = \frac{\omega L}{R}$$

からkQ積が計算できます。ここでLはコイルの自己インダクタンス、Rはコイルの抵抗成分、Mはコイル間の相互インダクタンスです。コイルの抵抗成分が送受で異なる場合は図1中の式で示すようにr1とr2の相乗平均がRになります。コイル内部に寄生容量やコイル相互間に結合容量がある場合はkQ積をどのようにして計算すればよいので

しょうか。実際のシステムはさらに複雑な構造となります。それらの中から最適な構造を見つけるにはどんな道しるべがあるのでしょうか。その答えが

$$kQ = \frac{|z_{21}|}{\sqrt{|R|}}$$

です。この公式を用いれば任意構造の電力伝送系のkQ積が求まります：文献[1]。私たちはこの公式の発見によってワイヤレス電気自動車の原理実証システムの設計と実験に成功しました。高周波ベクトルネットワークアナライザで2ポートZ行列を測定し、そこから計算したkQ積の周波数特性をデフォルトで画面表示する動きも始まっています。電磁界シミュレータにおいてkQ積公式でゴールを設定し、これを最大化する構造最適化も可能です。これからのワイヤレス電力伝送系の基本構造発明は、シンプルで美しいkQ積公式が水先案内人となります。

[1] T. Ohira, "Maximum available efficiency formulation based on a black-box model of linear two-port power transfer systems," *IEICE Electronics Express*, vol.11, no.13, pp.1-6, July 2014.

著者略歴：

1983年大阪大学博士課程了。工博。NTTにて衛星搭載中継機の設計を担当。2005年ATR波動工学研究所長。1986年IEICE篠原賞。1988年APMC Japan Microwave Prize。2004年IEICEエレクトロニクス賞。2012年CEATEC準グランプリ。IEEE MTT-S Kansai Chapter Founder。IEEE MTT-S Nagoya Chapter Founder。IEEE Fellow。IEEE Distinguished Lecturer。

	電界結合	磁界結合	統一理論
等価回路			
kQ	$\frac{1}{2} \omega C \sqrt{r_1 r_2}$	$\frac{\omega M}{\sqrt{r_1 r_2}}$	$\frac{ z_{21} }{\sqrt{ R }}$

図1 ワイヤレス電力伝送の構造とkQ積公式



【寄稿】（新フェロー）

「移動境界問題と電磁界数値解析」



黒田 道子（東京工科大学）

このたび、電子情報通信学会よりフェローの称号を賜り、大変光栄に存じます。ご推薦いただきました方々に心より御礼申し上げます。また、これまでご指導いただきました諸先輩の皆様、研究者の皆様へ感謝いたします。

私は大学生のころ、電磁気学の講義でマクスウェルの方程式に初めて出会って大変感動し、その後ずっと電磁気学の研究を続けてきました。早稲田大学大学院の博士論文では、ベッセル関数やハンケル関数を用いた電磁界理論解析を行いました。1978年に工学博士を取得後は、男女雇用機会均等法のずっと前でしたので、女性の就職はなかなか難しく、そのまま研究室に残り研究を続けました。当時から電子情報通信学会の会員で研究会、全国大会で発表していましたが、ほとんど女性の方はおられませんでした。私も隅の方で小さくなりながら、珍しがられながら発表をしていたのを覚えています。このまま、どうしようかという不安はありましたが、のんびり研究できればいいかなと思って過ごしておりました。

1986年にオハイオ州立大学電気工学科で客員研究員として研究する機会を得ることができました。最初は、私の研究が通用するのかなどと心配していましたが、だんだん慣れてくると、世界中からきている留学生と親しくなり話をする機会も増えてきました。研究に励み、国に帰っていい職に就くと言っている女子留学生や生き生きと仕事をしているアメリカ女性の姿をみて私の意識もだんだんと変わってきました。研究は Ohio State University ElectroScience Lab.の Prof. Stuart A. Collins Jr.のもとで液晶の理論解析を行いました。1年半のオハイオでの生活を終え帰国したときには、私の仕事に対する本気度はとても高いものになっていました。すぐに当時の研究室の副島光積先生から東京工科大学を紹介いただき、1990年工学部情報工学科助教授として採用が決まりました。

これまで、電磁界の理論解析を行っていましたが、大学に来て研究室を持つようになると数値解析の方が学生にも取り組みやすいと考え、電磁界数値解析を研究することにしました。何をしようかと考えていたとき、移動境界適合座標系という数値解析法に出会いました。これは数値流体の分野で使われていた手法で、この手法を電磁界数値

解析にも導入できないかと考えました。電磁界解析での移動境界問題は、これまで厳密解法が用いられていましたが、任意形状、任意運動に対しては限界がありました。移動体通信や可変機能を持つデバイスの解析など電磁界数値解析の分野で移動境界問題の数値解析法が益々必要となってきたと感じ、数値解析法の確立が必須であると思いました。しかし、移動境界問題を電磁界の数値解析に導入するには困難な問題がありました。それは、電磁波の速度が光速であるという点です。このため低速移動問題を考える場合は計算時間がかかること、高速移動問題を考える場合はローレンツ変換を考慮しなければならないことなどの問題点がありました。これらの問題点を考慮し、FDTD (Finite Difference Time Domain) 法を用いて移動境界問題を直接数値解析ができる方法について研究を始めました。当時の電磁界数値解析は有限要素法が主で、FDTD法はまだあまり普及していませんでしたが、移動境界適合座標系を利用するには差分法が適しているため、FDTD法を用いて移動境界適合座標系を電磁界数値解析法に応用することにしました。

移動境界適合座標系は、移動する物体を時間関数も含めて座標変換を行うことで数値解析が容易になる手法です。電磁界領域の境界が時間とともに移動したり、物体が界の中で変形したりする場合を解析するときは、境界に適合した座標は時々刻々変化しているため、格子生成法に時間因子を導入することで運動する境界を静止した計算座標系に座標変換することができます。物理座標系を計算座標系に変換することで、時間関数を含めて対応させると、時間の進行とともに移動する境界に適合して変化している物理座標系を一定の計算座標系に対応させることができるという考え方です。

1990年からプログラムを作成し、1991年9月の学会で初めて発表しましたところ、お褒めの言葉をいただきました。これで勢いが付き、どんどん海外でも発表するようになりました。国際会議でも評判がよく、2001年にアメリカの Monterey で開催された ACES (Applied Computational Electromagnetics Society) の学会で Georgia Institute of Technology の Prof. Manos Tentzeris からこの手法を MEMS

デバイスの振動解析に使うって共同研究をしようという話があり、一緒に研究を始めました。これらの成果は、アトランタの Georgia Institute of Technology での IEEE のセミナーの招待講演をはじめ多くの論文で発表しました。

あるとき、国内の学会でローレンツ変換を導入した数値解析法に発展できないかというご指摘を受けました。これまで、移動境界適合座標系には、ローレンツ変換は組み込んでいませんでした。座標変換法を用いた解析にどうやってローレンツ変換を導入するかずいぶん考えましたが、いい知恵が浮かびませんでした。そのような時に、重合格子法という移動境界問題の数値解析法があること知りました。

重合格子法とは主格子上に副格子を重ね、副格子を移動させ補間法を用いて値のやり取りを行うことで移動する境界の数値解析を可能とする方法で、複数の座標系で互いに物理量をやりとりしながら解析を行う手法です。一方、ローレンツ変換は2つの慣性系間の座標(時間座標と空間座標)を結びつけるマクスウェル方程式を満足する座標変換方式です。運動系が静止系に対してある速度で任意方向に運動しており、少なくとも、2つの座標系が必要です。このようにローレンツ変換は複数の座標系を必要とするため、同じく複数の計算格子を必要とする重合格子法を利用すればローレンツ変換を FDTD 法に導入することができると考えました。しかし、重合格子法での計算アルゴリズムにおいてローレンツ変換を用いて補間を行うとき、場所によって時間因子が変化してしまうので、時間因子の整合をとることに注意しなければならない点があります。また運動系では時間の進み方が変化するので静止系での時間間隔を Δt としたとき運動系での時間間隔は $\Delta t' = \sqrt{1 - \beta^2} \Delta t$ ($\beta = v/c$) となります。このように、時間因子、空間因子が速度によって変化するローレンツ変換を時間因子、空間因子ともに固定である FDTD 法に導入

するために、FDTD 法の計算の途中で時間と空間の補間を行い、この問題点を解決できる計算アルゴリズムを開発しました。このことは、大きな成果であつと確信しています。

電磁界における移動境界問題は電磁波の速度が光速であること、移動物体の速度が高速である場合には境界の変動だけでなく、時間変化も考慮しなくてはならないことなど複雑な問題があり、FDTD 法などの電磁界数値解析法を用いるのは困難な問題が多々ありましたが、それらの点を克服し、移動境界問題の電磁界数値解析法を提案することができました。移動境界問題をローレンツ変換を含めて FDTD 法に適用することができたことは、移動体通信をはじめ、可変機能を持つデバイスの開発等、多くの応用に役立つことが期待できると思います。

この数値解析法を開発することができたのは、学会でご議論いただいた研究者の皆様、私の研究室で一緒に研究に取り組んでくれた卒業研究生、修士・博士課程の学生の皆様のお蔭です。多くの人々と出会い、現在の手法までたどり着くことができました。研究だけでなく、人生においても人との出会いが大切だということを強く感じております。

著者略歴：

1973 年静岡大学工学部電気工学科卒業、1975 年早稲田大学大学院理工学研究科修士課程修了、1978 年同博士課程修了。工学博士。1986 年～1987 年オハイオ州立大学客員研究員。1990 年東京工科大学助教授。1998 年より同大学教授。2011 年～2013 年同大学コンピュータサイエンス学部学部長。2014 年 3 月定年退職。現在同大名誉教授。電子情報通信学会エレクトロニクス副会長、ACES Board of Director、IEEE Japan Council Women in Engineering Chairなどを歴任。



【寄稿】（新フェロー）

「半導体集積回路の高密度実装技術に関する研究開発」

山田 浩（東芝）



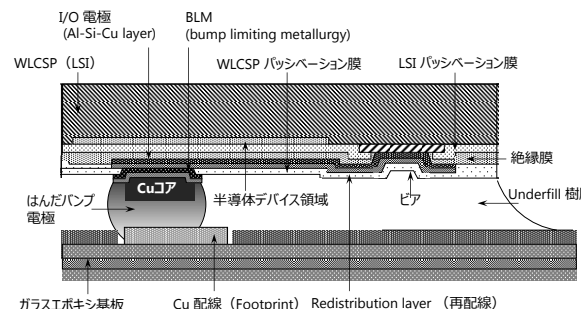
このたび、電子情報通信学会から「半導体集積回路の高密度実装技術に関する研究開発」により、フェロー称号を賜りました。推薦を頂きました方々と、これまでご指導を頂きました諸先輩に深く感謝します。半導体集積回路の高密度実装技術が、過去（1980年代）から現在に至るまで、日本が世界を主導している中で、東芝に入社以来、半導体集積回路の高密度実装技術に関する研究開発に一貫して従事できた結果と感謝しています。

東芝に入社後は、総合研究所（現在の研究開発センター）に配属されて、IC カードなど薄型電子機器の研究開発に従事しました。入社当初の主な業務は、半導体集積回路のベアチップ実装で課題になる AI 電極表面の酸化膜処理、回路配線基板とのマイクロ接合技術確立でした。その後は、Cu コア型バンパ電極を用いたフリップチップ実装技術、ウエハレベルパッケージ技術、マイクロマシン応用の 3 次元 (3-D) 実装技術、ウエハレベルシステム実装技術など、主として半導体集積回路のベアチップ実装を対象とした、高密度実装技術の研究開発に従事してきました。

「ウエハレベルチップスケールパッケージ技術」

以前（1980 年前半）の半導体集積回路は、ベアチップをリードフレーム搭載して、エポキシ樹脂でモールドすることが一般的でしたが、半導体ベアチップに比較して数倍の実装面積を必要とする従来型の半導体パッケージでは、加速する電子機器の小型化に限界がありました。この課題に対して、これまでの半導体パッケージの概念を超えた「樹脂封止型半導体素子」（ウエハレベルパッケージ（WLCSP: Wafer Level Chip Scale Package））の先駆的提案とこれを実現する技術確立を行いました。WLCSP 技術は、半導体プロセス後工程として、半導体チップが搭載されるウエハ上に絶縁層と配線層を積層配置することで半導体ベアチップの I/O 電極を半導体デバイス領域に再配列した後、再配列した I/O 電極上にバンパ電極を形成して超小型半導体パッケージとする技術で、フリップチップ実装技術と同様に、回路配線基板上的実装面積を半導体ベアチップとほぼ同一寸法にまで高密度実装することができる電子機器の高密度実装には極めて優れた技術です。

WLCSP における主要技術として、半導体ベアチップの I/O 電極に対する回路配線基板との接続ピッチを緩和する「I/O 電極パッド再配列技術」、WLCSP に形成するバンパ電極と回路配線基板の接続信頼性を向上させる「Cu コア型バンパ電極技術」・「高精度 Underfill 樹脂配置技術」などの技術確立を行いました。「I/O 電極パッド再配列技術」は、これまでの半導体チップの I/O 電極配置が周辺 (Peripheral) 配置であったものを、面型 (Area Array) 配置に移行させる技術で、これにより電子機器における半導体パッケージの実装密度が飛躍的に向上しました。「Cu コア型バンパ電極技術」は、ウエハレベルでの 10 μ m ピッチ Cu コア型バンパ電極形成技術を確立すると共に、バンパ電極中に高い剛性の Cu コア材質を配置すると接続信頼性が低下する一般的な概念を、Underfill 樹脂を精密配置する「高精度 Underfill 樹脂配置技術」を適用することで Stand-off を確保しながら Cu コアバンパ電極接続信頼性の低下を防ぐことで、微細な I/O 電極を有する WLCSP のバンパ電極接続には、逆に有利であることを明らかにしました。現在、WLCSP 技術は、多くの電子機器に搭載される主要技術になっています。特に、半導体チップの I/O 電極配置を、周辺配置から面型配置に移行させた「I/O 電極パッド再配列技術」は、1990 年代後半の I/O 電極配置における半導体パッケージ技術革新に寄与しています。



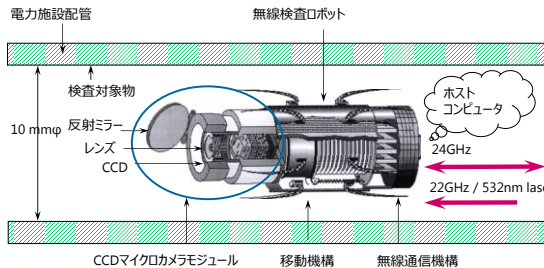
山田 浩, “ウエハレベルチップスケールパッケージに関する技術動向と将来展望”, “電子情報通信学会論文誌, Vol. J92-C No. 11 pp.595-60, November, 2009 (2009年11月号 解説論文)

図 1 ウエハレベルチップスケールパッケージ技術の概要

「高密度 3 次元実装技術」

それまでの高密度 3 次元実装技術は、メモリチップなど外形寸法の一致した同種デバイス実装する技術が中心で、異種デバイスを 3 次元 (3-D) 実装することはありません

でした。また、回路配線基板にスルホール形成して、はんだボール接続することも行われていましたが、異種デバイスを相互接続する配線本数が多い大規模回路を3次元実装する場合、3次元積層する基板数を増加させるほど、積層基板間の電極接続数が増加するため、スルホール形成領域の増加が3次元実装密度を逆に低下させる要因になっていました。この課題に対して、スルホールを形成しないで積層基板間を相互接続する「3次元端部配線技術」を開発しました。この技術は、高アスペクト比配線が形成された積層基板に異種デバイスを搭載した後に、積層基板端部を研削により露出させることで、高アスペクト比回路配線を側面電極とします。さらに、積層基板端部の側面電極は、配線基板とバンプ電極で接続するため、3次元実装技術で課題とされてきた積層方向の配線領域を究極的に高密度化できる効果的な実装方法であると共に、現在の部品内蔵基板の先駆的技術としてその発展に貢献しています。



この研究開発の一部は通商産業省（現経済産業省）工業技術院産業科学技術開発制度に基づく「マイクロマシン技術の研究開発」の一環として、新エネルギー・産業技術総合開発機構（NEDO）から委託を受けた（財）マイクロマシンセンターの再委託業務として東芝が実施した。

山田 浩，桐野 隆，大井一成，須藤 肇「高密度マイクロ視覚モジュール3次元実装技術」第8回マイクロエレクトロニクスシンポジウム論文集，pp165-168，大宮市，1998年。

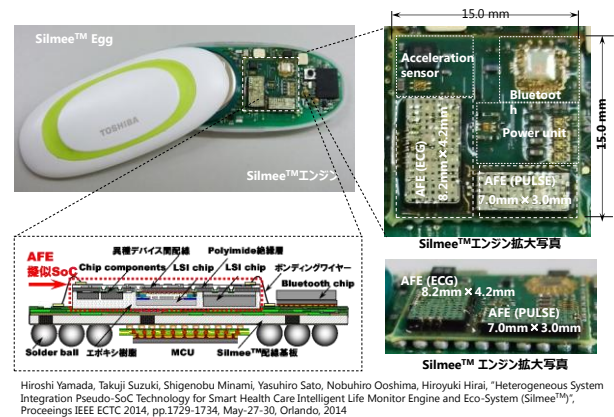
図2 発電施設配管内部を無線移動する検査ロボット先端部に搭載したマイクロカメラシステムに「3次元端部配線技術」を用いた高密度3次元実装技術を適用

「ウエハレベルシステム集積（擬似 SoC）技術」

これまでの異種デバイス集積技術は、半導体製造技術を適用して異種デバイスをシリコン基板上に回路集積する SoC (System on Chip) 技術と、半導体チップを配線基板上に実装する SiP (System in Package) 技術が代表的でした。SoC 技術は、高密度集積が可能ですが、製造プロセスが異なる異種デバイスは集積できない課題がありました。SiP 技術は、搭載する異種デバイスの種類に制限はありませんが、設計寸法が回路配線基板に依存するため、回路基板の集積密度に課題がありました。この課題に対して、SoC 技術と SiP 技術の特徴と課題を相互補完する擬似 SoC 技術を開発しました。擬似 SoC 技術は、独自技術で製造された異種デバイスを検査して、KGD (Known Good Die) とした後、それらをチップレベルで隣接再配置してエポキシ樹脂で封止して再構築ウエハとします。その後、再構築

ウエハ上の異種デバイス（チップ）間を、半導体後工程プロセスによる再配線で電氣的に接続します。擬似 SoC 技術は、SoC と SiP では実現できない高密度集積と、SiP と同等の製造コストを実現可能にする特徴を有しています。

擬似 SoC 技術は、東芝が開発したスマートヘルスケアセンサー（Silmeem™: Smart Intelligent Life Monitoring Engine & Eco-system）で実用性が検証されており、SoC と SiP では実現できない異種デバイス（チップ）の高密度集積を実現する次世代の高密度システムインテグレーション技術として期待されています。



Hiroshi Yamada, Takuji Suzuki, Shigenobu Minami, Yasuhiro Sato, Nobuhiro Ooshima, Hiroyuki Hirai, "Heterogeneous System Integration Pseudo-SoC Technology for Smart Health Care Intelligent Life Monitor Engine and Eco-System (Silmeem™)", Proceedings IEEE ECTC 2014, pp.1729-1734, May-27-30, Orlando, 2014

図3 擬似 SoC 技術の実用性検証（Silmeem™ 適用）

現在も、半導体集積回路の高密度実装技術は、世界各国で厳しい研究開発競争が行われていますが、そのような中で、電子機器システムを構成する主要技術としての進展に微力ながら貢献できたことに感謝したいと思います。

著者略歴：

株式会社東芝 研究開発センター 電子デバイスラボラトリー 主任研究員。1986 年名古屋大学工学部合成化学科卒業。同年東芝入社。カード型電子機器実装技術、微細フリップチップ実装技術、ウエハレベルパッケージ技術、マイクロマシンドバイス応用 3-D 実装技術など高密度・高速実装を主体にした集積回路パッケージ技術の研究開発に従事。これまで、IEEE Transaction on Advanced Packaging Best Paper Award (2004)、IMAPS Best Paper Award (1997、1999、2000、2008、2009)、IMC Outstanding Paper Award (1996)、IEEE CPMT Symposium Japan Best Paper Award (2010)、ICEP Outstanding Technical Paper Award (2012)、MES 優秀論文賞 (1998)、エレクトロニクス実装学会論文賞 (2001)、エレクトロニクス実装学会技術賞 (2014)、関東地方発明表彰 (2013)、電子情報通信学会論文賞 (2005)、電子情報通信学会エレクトロニクスソサエティ賞 (2008) など受賞。電子情報通信学会フェロー、IEEE フェロー。



【寄稿】（新フェロー）

「高性能、高信頼、低消費電力 VLSI の設計研究と実用化開発を ふりかえって」

吉本 雅彦（神戸大学）



このたび、電子情報通信学会より「高性能、高信頼、低消費電力 VLSI の先駆的研究と実用化開発」への貢献に対してフェロー称号を賜り、大変光栄に存じます。ご推薦して頂いた方々、これまで共に研究開発を推進して頂いた方々、また、この研究開発に携わる機会やアドバイスを与えて頂いたすべての方々に、心より感謝申し上げます。

米インテル社の共同創業者であるゴードン・ムーアが 1965 年に提唱した「集積回路上のトランジスタ数は 18 ヶ月ごとに倍になる」というムーアの法則に載り、半導体集積回路技術はめざましい発展を遂げてきました。すなわち、微細化の推進によって、集積レベル、コスト、速度性能、消費電力、小型化、高機能化の全てにおいて改善がなされてきました。現在では、32nm の微細化プロセスが量産レベルにあり、最先端マイクロプロセッサには数十億個のトランジスタが集積され、人の脳のニューロンの総数に匹敵する数に到達する日も間直に迫っています。

そんな VLSI 微細化技術の劇的な進展が始まった頃、私は 1977 年に三菱電機株式会社に入社しました。以来、23 年間、VLSI 設計技術開発とその実用化研究に取り組みました。その後、2000 年に大学へ移り、若い学生たちの教育および研究に携わり 14 年になります。その結果、大容量 MOS スタティック RAM、マルチメディア集積システム、高信頼性 VLSI、低消費電力 VLSI の開発など多岐にわたる VLSI システム設計技術研究を実施してきました。

まず、1980 年代において、MOS スタティック RAM の高集積化、大容量化の進展に伴い表面化してきた電気性能上の問題や、信頼性上の諸問題を解決するために、特に回路設計技術を中心に基礎的研究を実施しました。その先駆的研究成果としては、アクセス時間短縮と消費電流削減を同時に達成できる分割ワード線構造の提案です[1]。本発明はその後の多くの大容量スタティック RAM 設計に導入されており、論文[1]は LSI 設計の教科書でも多く引用されています。これにより、1988 年に近畿地方発明表彰・発明奨励賞を受賞しました。

次に画像圧縮符号化国際標準（JPEG, H.261, MPEG1, MPEG2, MPEG4, H.264）が次々と標準化された時期（1986～1995 年）、画像圧縮符号化アルゴリズムを、効率良く、高性能（高速、低消費電力、小面積、柔軟性）に実現するための LSI アーキテクチャに関する研究を行いました。TV 会議/TV 電話応用に CCITT にて標準化された、動き補償フレーム間差分 DCT（離散コサイン変換）をベースにした H.261 画像圧縮アルゴリズムを効率良く実行できる 60MOPS 画像圧縮符号化 DSP を開発しました[2]。小型、低価格の TV 電話システムの実用化に寄与し、1990 年の R&D100 賞（米国 R&D マガジン社が選ぶその年の先端商品ベスト 100）を受賞しました。また実時間 MPEG2 (MP@ML)ビデオエンコーダチップセットの開発にも成功しました[3]。機能分割型アーキテクチャを提案し、デジタル放送機器の素材収集カメラに搭載、実用化され、再度 1996 年の R&D100 賞を受賞しました。

さらに、コンピュータと通信と蓄積メディアが融合するマルチメディア技術開発が盛んに行われるようになってきた 1990 年代半ば以降、情報処理、通信処理、信号処理ハードウェアおよびソフトウェアからなるマルチメディアシステムを 10 ミリ角程度のシリコン上に実現するための最適アーキテクチャ技術を研究しました。メディア通信応用 MPEG4 コーデック ULSI に搭載を目的としたメディアプロセッサコアアーキテクチャを開発し、双方向 MPEG4 マルチメディア通信に関し CIF(352x288)画像につき 30 フレーム/秒の実時間性能を達成しました。さらに 1 チップ H.32X マルチメディア通信プロセッサ VLSI [4]を開発し実用化しました。これは MPEG4 および H.26X 双方向コーデック機能を有し、携帯 TV 電話に搭載、実用化されました。

その後、2000 年より大学に移りました。当時すでに、技術者の専門分野の細分化が進み、システム LSI 開発においても、ハードウェア屋とソフトウェア屋に分業が進み、また一方、システムが大規模複雑になり、システム全体を

統括できる技術者が不足し、それがゆえに開発が遅れることが日常茶飯事になっていました。技術者として自己のきちんと立つ位置は固めなければいけません、水平方向の異分野、垂直方向の他階層の技術に興味を覚え理解し、システム全体を把握しようとするマインドの重要性を痛感しました。そのマインドは学生時代から育成する必要があるとの思いから大学に移りました。2000年秋のことです。

折しも、VLSI 分野では、微細化によるスケージングの進展を維持してゆくために、多くの課題が表面化してきました。信頼性の問題と低消費電力化です。前者は微細トランジスタのデバイス特性のばらつき、デバイス特性の経時変化、低電圧化に伴う雑音耐量の劣化、ソフトエラー、プロセスや設計のコストなどです。また、後者については、コンピュータのダウンサイジングの進展の中にあつて、ウェアラブル、インプラントシステムおよびユビキタスコンピューティングの実現には、ワイヤレス、バッテリーレス仕様のための超低消費電力システム技術が極めて重要な技術開発対象となってきました。

信頼性の課題解決にあたり、科学技術振興機構のCREST「戦略的僧都研究推進事業」の研究領域「ディペンダブルVLSIシステムの基盤技術」に私も参加しました。VLSI デバイスから最終システムまでの垂直統合型研究を進め、ディペンダブルメモリの車載応用システムにおける有効性を評価するための、メモリへの故障注入機能を有する Virtualization 技術の開発に成功しました[5]。特に Virtualization 技術の開発とクラウド環境での実用性検証は世界で初めての成果であり、新聞など多くのメディアで報道されました。

低消費電力化設計技術の開発にあたり、2つの NEDO プロジェクトに参加しました。「極低電力回路・システム技術開発」プロジェクトと「ノーマリーオフ・コンピューティング基盤技術開発」です。前者では、SRAM の動作エネルギーを最小化するための設計技術研究を実施しました。後者では、ウェアラブル生体情報センサー応用 SoC の設計技術開発を実施しました。ロバストな心拍モニターアルゴリズム、心拍同期型演算処理アルゴリズムと、不揮発メモリベースのノーマリーオフ型コンピューティングアーキテクチャにより、6 μ A の ECG プロセッサを開発しました[6]。

以上のように大学での研究活動は、VLSI デバイスから

最終システムまでの垂直統合型研究を指向し、アルゴリズム、プロトコル、アーキテクチャの協創により研究成果を挙げました。これらのマルチレイヤにわたる設計研究の過程で、異分野・学際融合精神を持つ 100 名以上の学生が育ち、IT 産業界に巣立ったことをたいへん誇りに思っています。

さて、今後 VLSI はどのように進展していくのでしょうか。実は、高性能化の軸でみると、SoC プロセッサの処理性能はトップ性能のスーパーコンピュータの性能を約 20 年遅れで追っています。すなわち、約 20 年後にはスマートフォンはスパコン「京」の性能 (10PetaFLOPS) を獲得することが期待されるのです (無論、多くの技術障壁を世界の研究者の叡智でクリアできるとして)。そして、それから数年後に人の大脳皮質の処理能力 (60PetaFLOPS) へ到達し高知能ロボットに搭載されるようになるでしょう。

一方、ダウンサイジングの軸で見ると、現在のスマートフォンに搭載される組み込みプロセッサと同等性能の LSI は、2025 年には 8nm 技術と 3 次元実装により、150 μ 立方に格納されることが予測されています。砂粒より小さいサイズです。それにより、毎年数兆個のセンサーが地球上にばらまかれる Trillion Sensors Universe は現実のものとなり、Zetta バイトさらには Yotta バイトを超えるビッグデータがネットワークに溢れることでしょう。

さてそうになると、どんな社会サービスが展開されていくのでしょうか。正直、将来を洞察する力の乏しい私には想像もできません。しかし、これからの IT 業界は、先端技術のトレンドを把握しながら、社会とサービスを語る技術者、研究者が必要とされます。そして社会にとって価値ある技術とサービスを創造するためには、多くの仲間が必要です。21 世紀に入り、地球規模で多くの社会課題が表面化しています。少子高齢化、環境問題、都市問題、交通問題、エネルギー問題、食料問題などです。これらの諸課題は一分野のシーズ技術では解決できないほど、あまりに複雑で規模も大きい。そのため必ず異分野との連携が必要になります。1970 年代、欧米を追いかけたキャッチアップ型の時代は、How to make の時代と言われました。1990 年代に入り、日本の経済環境がフロントランナー型へと大きく変わり、What to make が重要となりました。そして今や、Whom to make value の時代です。複数の異分野の誰と誰と握って価値創造して勝ち残っていくのか。それが問われる

時代です。そのような時代に学会構成員の方々を支援する電子情報通信学会の役割はますます重要になることでしょう。

[1] "A 64Kb full CMOS RAM with Divided Wordline Structure" ISSCC Digest of Technical Papers, pp. 58-59, Jan 1983

[2] "A 50ns Video Signal Processor" ISSCC Digest of Technical Papers, pp. 168-169, Feb 1989

[3] "A Chip Set for Programmable Real-Time MPEG2 MP@ML Video Encoder" IEICE Trans. Electron. Vol. E81-C, No. 5, pp. 680-694, May 1998

[4] "A Single Chip H.32X Multimedia Communication Processor with CIF 30fr/s MPEG-4/H.26X Bi-Directional Codec" IEICE Trans. Electron., Vol. E-87C, No. 4, April 2004

[5] "Model-Based Fault Injection for Failure Effect Analysis -Evaluation of Dependable SRAM for Vehicle Control Units-," 5th Workshop on Dependable and Secure Nanocomputing (WDSN), in conjunction with the 41st International Conference on Dependable Systems and Networks (DSN), Jun. 2011

[6] "A 6.14uA Normally-Off ECG-SoC with Noise Tolerant Heart Rate Extractor for Wearable Healthcare Systems," Proceedings of IEEE Biomedical Circuits and Systems Conference (BioCAS), Oct. 2014.

著者略歴：

昭和 52 年名古屋大学大学院前期博士課程修了、同年、三菱電機株式会社入社。以来、先端 VLSI 設計技術研究に従事。平成 12 年金沢大学工学部教授。平成 16 年神戸大学大学院システム情報学研究科教授（現在に至る）。平成元年近畿地方発明表彰発明奨励賞受賞。平成 2 年および平成 8 年に R&D100 賞受賞。平成 17 年度に電気通信普及財団賞テレコムシステム技術賞受賞。平成 21～22 年に IEEE SSCS-Kansai Chapter Chair および ICD 副委員長、平成 23～24 年に ICD 委員長を歴任。





【寄稿】（レター論文賞受賞記）

「平成 25 年度エレクトロニクスソサイエティレター論文賞を受賞して」



前澤 宏一（富山大学）

この度は、私達の執筆した論文が平成 25 年度のエレクトロニクスソサイエティレター論文賞を受賞することになり、大変光栄に思っています。エレクトロニクスソサイエティの皆様、論文を審査して頂いた委員の皆様へ深く感謝申し上げます。論文のタイトルは、「溶融 Ga バンプを用いた Fluidic Self-Assembly で配置された微小デバイスの熱的信頼性」で、当時、博士課程 3 年生だった中野純君を中心に、柴田知明君、森田弘樹君、坂本宙君、森雅之准教授とともに行った研究結果を報告したものです。

最近、CMOS 集積回路のスケーリング限界の議論が活発になるとともに、様々な機能を集積する新しい方向への研究展開が注目を集めています。いわゆる More than Moore と呼ばれる研究展開です。この実現のためには、様々な材料からなる様々なデバイスを集積する技術、つまり異種材料デバイス集積化技術（Heterogeneous Integration Technology）が重要になってきます。本論文は、このための有力な技術の一つである Fluidic Self Assembly (FSA) 法に関するものです。

FSA 法は、1994 年に J. S. Smith らによって最も基本的な技術が提案されました（図 1 参照）。この方法は、液体中に置かれたホスト基板上に微小デバイスブロックを散布、配置するものです。ホスト基板上にはブロック形状に合わせたリセスが形成されており、ブロックはここに捕獲されます。ブロックの大きさは 10 μm から 1 mm 程度で

あり、デバイスレベルの配置も可能です。リセスに捕獲されなかったブロックは回収後、再び散布し、必要なリセスにデバイスが配置されるまでこれを繰り返します。

この方法には他の異種材料デバイス集積技術と比較して様々な特長があります。例えば、異種基板上結晶成長で問題となる格子定数差や熱膨張係数の違いも問題となりませんし、ガラスやプラスチックにも容易に集積できます。また、材料の使用効率が良いことも利点です。つまり、デバイスブロックは回路のレイアウトと関係なく、基板上に密集して作製することが可能です。この点は、MMIC（Monolithic Microwave Integrated Circuit）など、ほとんどの面積をインダクタやキャパシタなどの受動デバイスが占める場合に有効です。さらに、この技術を応用してプロセスの終了した Si 集積回路の配線層上面に化合物半導体の光デバイスを集積することなども可能になります。

この技術において重要な点の一つが、ブロックをリセスに吸着する力です。Smith らの提案では、Van der Waals 力を利用していたのですが、この不安定性が歩留まりの低下を招いていました。これを解決するために提案されたのが低融点金属を用いた FSA です（図 2 参照）。溶融した金属バンプの表面張力を利用する点が特徴です。バンプには 100°C 以下の融点を持つ、低融点金属を用います。このとき、機械的な接続を得ると同時に、電気的、熱的な接続

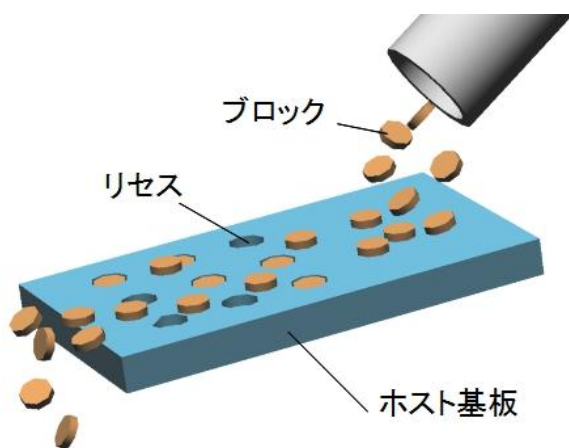


図 1 Fluidic Self Assembly 法の概念図

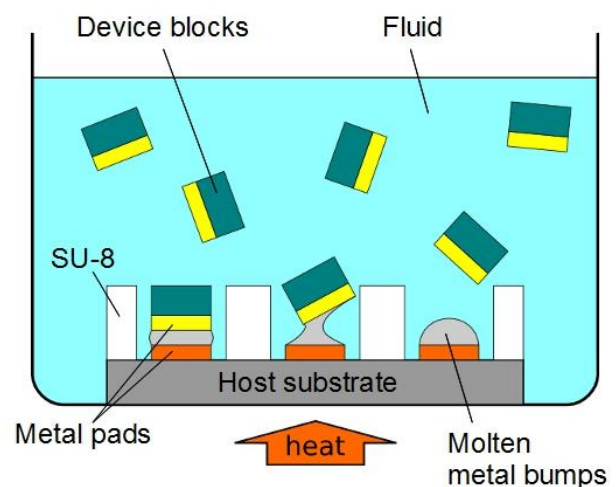


図 2 低融点金属バンプを用いた FSA

を得ることもできます。Parviz らは、Bi-Pb-In-Sn-Cd からなる低融点合金（融点 47°C）を用いて、Si デバイスブロックのプラスチックフィルム上への配置を報告しています。この低融点合金は、取り扱いが容易ですが、Pb や Cd と言った有毒な金属を含むという問題があります。私達は、これに替えて、融点約 30°C の Ga を用いることを提案しました。Ga は無毒であるだけでなく、より融点が低いため、FSA 溶液の温度を下げるのが可能になります。溶液にはバンプ表面の活性化のために酸を加えるのですが、これまでバンプの溶出が問題となっていました。Ga では溶液の低温化によりこれを抑え、より小さなバンプサイズの利用が期待できます。

私達は、微小 Ga バンプ作製技術や、FSA 時の Ga バンプ表面活性化条件など、様々な検討を行い、直径 20 μm 程度のデバイスブロックの配置を可能にしました（図 3 参照）。これを用いて共鳴トンネルダイオードを Si 基板上に配置し、その特性を調べました。その結果、特性の劣化がないだけでなく、上下を金属で挟むことにより、コレクタ層内の水平方向への電流パスに起因する寄生抵抗を大幅に低減できることを示しました。

しかしながら、Ga は融点が 30°C と低く、室温でも容易に融解するため、信頼性という面では重要な懸念がありました。これに対して、我々は、Au と Ga の合金化を進めることで信頼性を担保できるのではと考えました。つまり、ブロック側の金属パッドに十分な厚さの Au を積んでおき、FSA 後にアニールをすることにより、Ga を AuGa 合金に変えるということです。本論文では、波長分散型 X 線分析 (WDS) を用いて、この効果を調べました。その結果、アニール後に Ga バンプは約 35% の金を含む AuGa 合金となっていることが明らかになりました。Au-Ga 合金の相図を見ると、Au 含有量が 30% を超えると、AuGa と AuGa₂ の安定した合金となり、その融点は 451°C となることが示されています。この融点は Au-Sn はんだの融点 (282°C) より十分高く、バンプが十分な熱的信頼性を持つと考えられます。その後、私達は、FSA により配置配線した共鳴ト

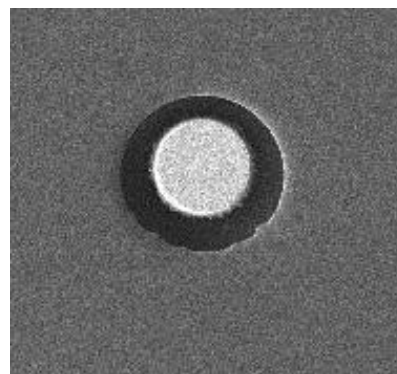


図 3 Ga バンプを用いた FSA 法により配置されたデバイスブロックの例（直径 18 μm ）。ブロックは Ga バンプの表面張力により自己整合的に配置されている。

ンネルダイオードの高温保管試験を行い、信頼性を調べました。ここで用いた共鳴トンネルダイオードは Ga バンプと接触する Au パッドから 100 nm の深さに二重障壁構造が存在し、わずかな Ga の拡散、侵入に対しても非常に敏感と考えられます。実験の結果、10⁶ s 近くまでほとんど特性の変化がなく安定した動作が得られることが確認できました。

このように、ある程度の配置・配線が可能となった Ga バンプを用いた FSA 技術ですが、歩留まりの改善を始め、いまだ、多くの課題が残っています。今回の受賞を糧にさらに研究を進めていきたいと考えています。

著者略歴：

1984 年早稲田大学大学院理工学研究科物理学及び応用物理学専攻博士前期課程修了、同年、日本電信電話公社（現 NTT）入社。1993 年博士（工学）（早稲田大学）。1997 年名古屋大学大学院工学研究科助教授、2000 年～2001 年マサチューセッツ工科大学客員研究員、2006 年富山大学理工学研究部教授。2005 年 LSI IP デザイン・アワード開発奨励賞、2012 年 JJAP/APEX Editorial Contribution Award 受賞。