

電子情報通信学会ソサイエティ大会

パネル討論 AP-1 アナログ回路技術者をどう育てるか？

(AP-1-3)

「アナログ技術者育成のためのSTARCとしての支援方法」

- [1] 社会人アナログ教育の効率的な方法は？
- [2] 学生にアナログに興味を持たせるには？

2006年09月19日

(株)半導体理工学研究センター(STARC)

飯田 哲也

[1] 社会人アナログ教育の効率的な方法は？

何故、アナログ技術者が足りないのか？

(1) アナログIPに要求される性能が年々向上(高速化、低電圧化、高精度化)

- ・無線LAN / 携帯電話用RF CMOS
- ・高速シリアルインターフェース(シリアルATA、PCI-Express, 等)
- ・DVD / HD用超高速A / Dコンバータ

(2) 微細化の進展に伴う設計の複雑化

- ・トランジスタ特性のレイアウト依存性
- ・バラツキ低減化のためのダミーメタルの追加
- ・ゲートリーク電流(トンネル電流)の増大

1つのアナログIPを開発するために膨大な「人・時間・開発費」が必要
(例) PCI-Express : アーキテクチャ検討 ~ テープアウトまでに約80人月)

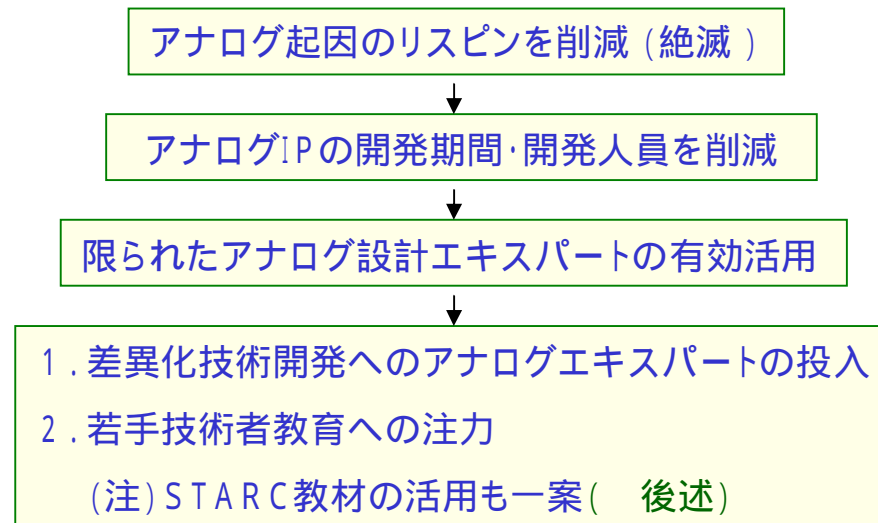
高性能が要求されるため修正 / 評価の繰り返し

アナログ設計技術者が何人居ても要求に追いつかない!

アナログIP 設計 / 検証環境・フローに対する抜本的な見直しが必要

06年4月より、STARCあすか 選択プログラム・「アナログIPのポストレイアウト検証環境構築」プロジェクトをスタート

最終的な目標は「アナログIPのVirtualシリコン検証環境」の構築



本検証環境を各企業が持ち帰り、最適化及びブラッシュアップを進めていくためには、アナログ設計技術者は勿論重要であるが、アナログEDA技術者の育成及びパッケージ開発部隊との連携も必須

効率的な教育の仕方については？

- (1) アナログ / RF教科書(基礎編、応用編)を東大・東工大・VDEC・STARCで共同開発中で、社内教育等で活用(大学教育用として開発をスタート)

スターシャトル(90nm ASPLAプロセス)にて試作評価を行い、

- ・ トランジスタ / 受動素子の設計及び評価
- ・ 要素回路TEGの設計及び評価
- ・ プロトタイプ回路設計及び評価

等、実践的なレベルの内容をテキストに盛り込む予定

- (2) STARC大学共同研究テーマに客員研究員として参画、産業界のニーズを伝えるとともに共同研究成果を社内でも活用(アナログ回路技術力の向上)

[2] 学生にアナログに興味を持たせるには？

何故、学生はアナログに興味を持たないのか？

- (1) アナログ云々以前に、日本の半導体業界に元気が無いのが諸悪の根源
- (2) 現在のSoCビジネスは利益が無く、微細化が進めばさらなる投資及び開発費が必要で
半導体業界の先が見えないため、学生の半導体離れが加速
(ここ数年、電気電子情報系と機械系の学生数が逆転)
- (3) A社で新入社員にアンケートを取ったところ、「給料よりもやりがいの有る仕事が第一」と
の回答が半数以上
若い人がやる気を出せる様な「儲ける為のシステムLSIの将来ビジョン」が必要

システムLSIの将来を議論するため、STARCで「明日のアナログを考える会」(非公式)を発足

- (1) デジタルは微細化とともに歩むがアナログはどうか？
 - ・ 高速IOや超高速A/DコンバータはSoCに搭載させざるを得ない
 - ・ 一方、無理に微細化しない方が性能的に得するアナログ回路も多々有り
- (2) SoC一辺倒ではなく、半導体製品の他の形態も真剣に考えるべき

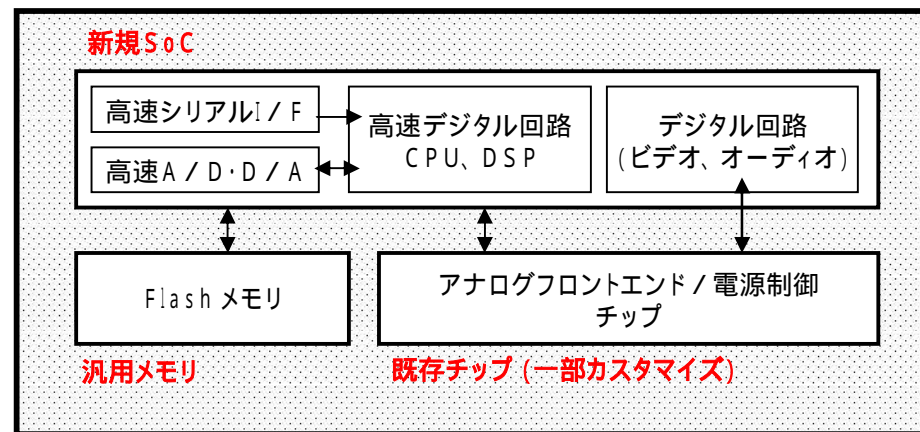
SoC / SiPの選択基準

判断項目	SoC / SiPの選択			
	有	SiP	無	生産量 / 製品価格 / 開発コストを考慮し、 ビジネス的に得する方を選択
大容量メモリ (Flash, dRAM等)	有	SiP	無	
超高速アナログIP (> 1GHz)	有	SoC	無	
派生品展開 (多種メモリの搭載、機能追加)	有	SiP	無	
製品寿命 (セット製品サイクル)	短	SiP	長	

チップ / パッケージの統合開発環境 (設計 / 検証) を構築、SoCとSiPの切り口の最適解を見出し、製品を開発 (製品開発コスト削減、開発TATの短縮)

(例)

SiP



[2] 学生にアナログに興味を持たせるには？(続き)

システムLSIの今後の姿とは？

- (1) “SoC”と“SiP”の両輪で半導体事業(システムLSIビジネス)の健全化を図る
システムLSIビジネスに魅力を感じれば学生も戻ってくる
- (2) “SoC”と“SiP”ではアナログIPの設計仕様/設計方法が大きく異なり、パッケージ等も含めた広い知識も必要となり、アナログ設計者が頭を使うべき領域が拡大

アナログに興味を湧いた学生に対するSTARCの支援

- (1) アナログ/RFテキスト(産学共同開発)活用によるアナログ回路設計に関する知識の習得
- (2) スターシャトル(ASPLA90nm)での設計及び評価の実体験(5mm、2.5mm)
STARCよりアナログPDK(06/下以降はRF素子も利用可能)を支給

結論

[1] 社会人アナログ教育の効率的な方法は？

アナログIP開発効率向上によるアナログエキスパートの有効活用(若手教育等)

[2] 学生にアナログ(半導体)に興味を持たせるには？

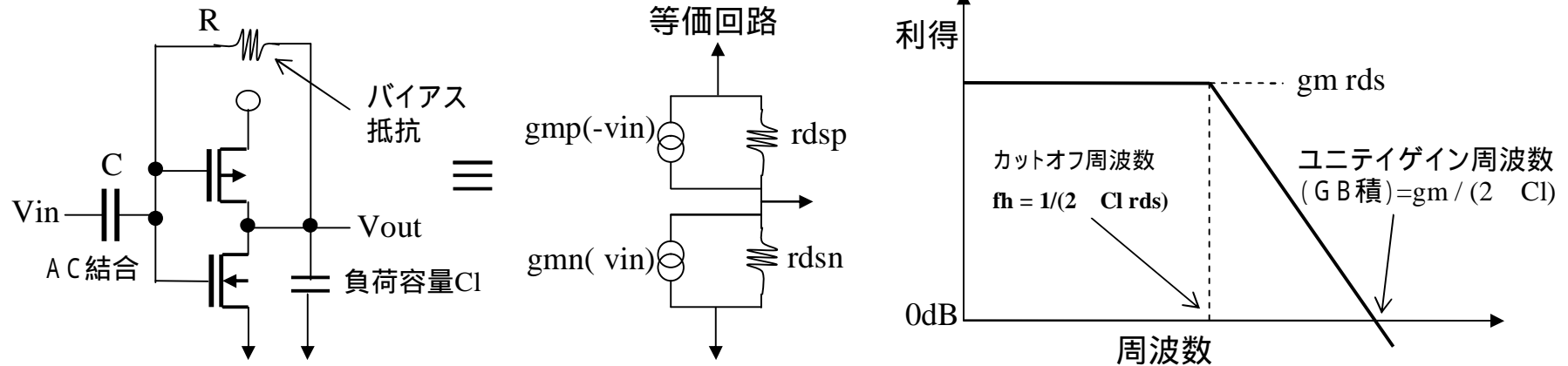
半導体企業のシステムLSI将来ビジョンの明確化(SoC一辺倒では先が無い)

付録

初心者にはアナログ回路の基本を教えるには？

(1)

最も素子数の少ない「CMOSインバータアンプ」が最適



1. L 一定で W を大きくした場合、周波数特性は？
2. W 一定で L を大きくした場合、周波数特性は？
3. W/L 比一定で W, L を大きくした場合、周波数特性は？

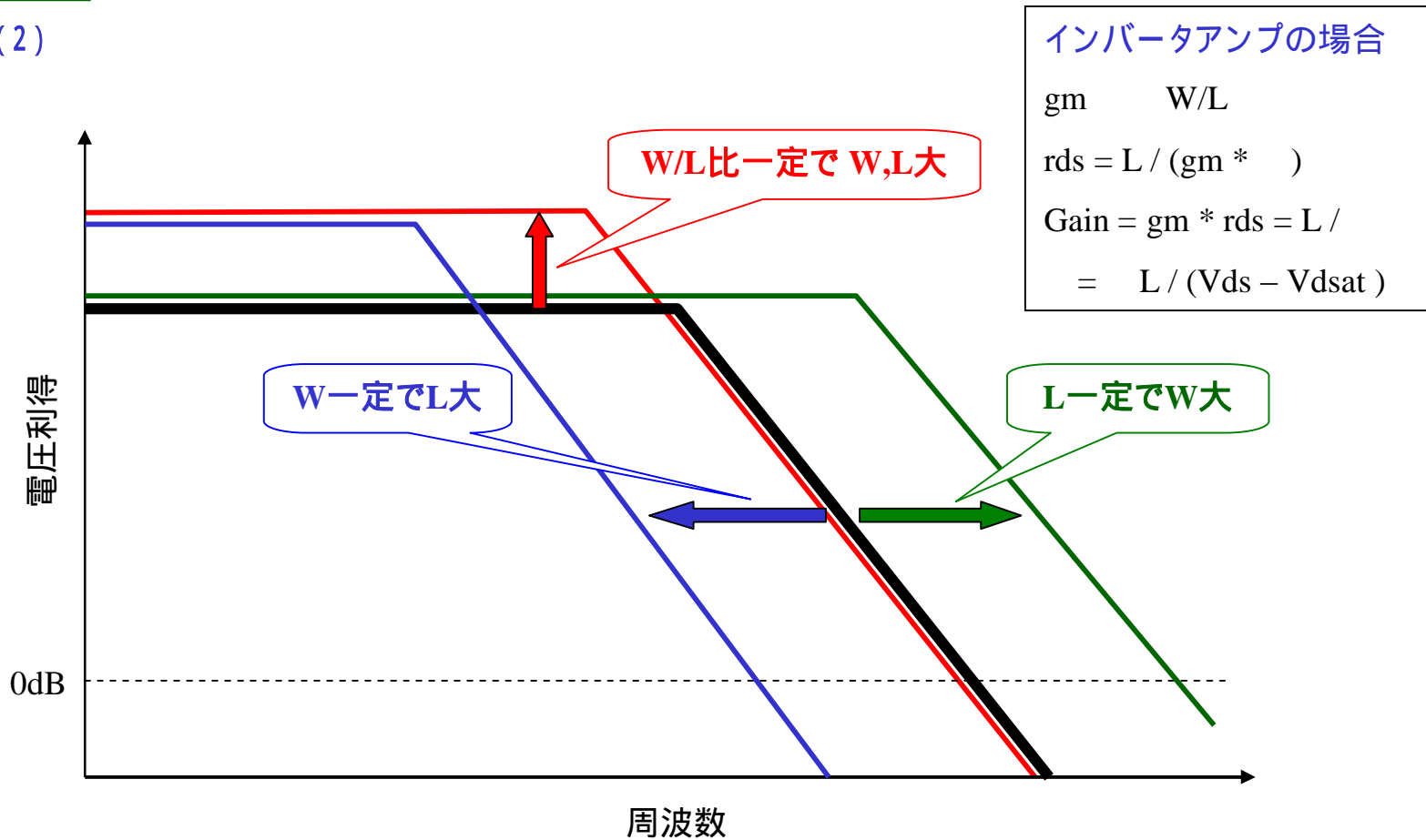
gm, rds の理解

4. 電源電圧を下げていった場合、電流の温度係数は？

Sub-threshold 領域の理解

付録

(2)



SPICEを使わず簡単な式で計算させる！

END